

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-260952

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H01L 27/08

H01L 21/76

(21)Application number : 11-058750

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.03.1999

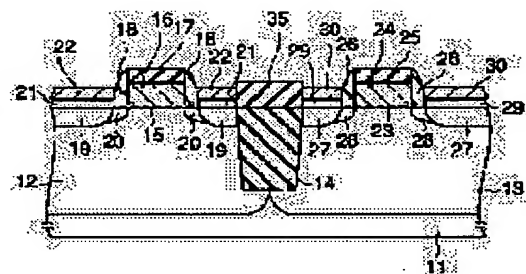
(72)Inventor : NISHIGORI MASATO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To increase the degree of integration of a semiconductor device by restricting the horizontal growth of an epitaxial layer.

**SOLUTION:** In a semiconductor device, an element isolation insulating film 14 constituted in an STI structure is arranged between two MOSFETs. The surface of the insulating film 14 is substantially equal to that of a silicon substrate 11. On the insulating film 14, a stopper insulating film 35, having a width which is equal to or narrower than that of the insulating film 14, is arranged. Each MOSFET has an elevated source/drain structure, and the surfaces of epitaxial layers 21 and 29 which function as source/drain regions are positioned higher than the channel of each MOSFET. When the epitaxial layers 21 and 29 are selectively grown, the horizontal growth of the layers 21 and 29 is restricted by the stopper insulating film 35 which works as a wall.



## LEGAL STATUS

[Date of request for examination]

16.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-260952

(P2000-260952A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/08  
21/76

識別記号

3 3 1

F I

H 0 1 L 27/08  
21/76

テ-マ-ト\*(参考)

3 3 1 A 5 F 0 3 2  
L 5 F 0 4 8

審査請求 未請求 請求項の数13 O L (全 33 頁)

(21) 出願番号

特願平11-58750

(22) 出願日

平成11年3月5日 (1999.3.5)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 西郡 正人

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

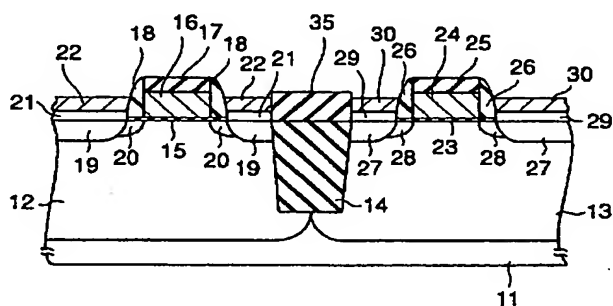
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 エピタキシャル層の横方向成長を制限し、集積度の向上を図る。

【解決手段】 2つのMOSFETの間には、STI構造の素子分離絶縁膜14が配置される。素子分離絶縁膜14の表面は、シリコン基板11の表面に実質的に等しい。素子分離絶縁膜14上には、素子分離絶縁膜14の幅と同じか又はそれよりも狭い幅を有するストップパ絶縁膜35が配置される。各MOSFETは、エレベーター・ソース/ドレイン構造を有し、ソース/ドレイン領域として機能するエピタキシャル層21、29の表面は、各MOSFETのチャネルよりも高い位置に存在する。選択エピタキシャル成長時、エピタキシャル層21、29は、ストップパ絶縁膜35が壁になって横方向の成長が制限される。



1

## 【特許請求の範囲】

【請求項 1】 半導体基板上に形成される第 1 及び第 2 MISFET と、前記第 1 及び第 2 MISFET を電氣的に分離する素子分離絶縁膜とを備え、

前記第 1 及び第 2 MISFET は、ソース／ドレイン領域の表面が前記半導体基板の表面に形成されるチャネルよりも高い位置に配置されるエレベータッド・ソース／ドレイン構造を有し、

前記素子分離絶縁膜上には、前記素子分離絶縁膜の幅以下の幅を有するストッパ絶縁膜が配置されていることを特徴とする半導体装置。

【請求項 2】 前記ストッパ絶縁膜の幅が前記素子分離絶縁膜の幅と実質的に同じで、前記半導体基板の表面から前記ストッパ絶縁膜の上面までの高さ  $H$  が、前記半導体基板の表面から前記ソース／ドレイン領域の表面までの高さ  $X$  以上であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ストッパ絶縁膜の幅が前記素子分離絶縁膜の幅よりも狭く、前記半導体基板の表面から前記ストッパ絶縁膜の上面までの高さ  $H$  と前記半導体基板の表面から前記ソース／ドレイン領域の表面までの高さ  $T'$  は、 $H + X \geq T'$ （但し、 $X$  は、前記素子分離絶縁膜のエッジ部から前記ストッパ絶縁膜のエッジ部までの距離とする。）なる関係を有していることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 半導体基板上に形成される MISFET と、前記 MISFET を取り囲む素子分離絶縁膜とを備え、

前記素子分離絶縁膜上には、前記素子分離絶縁膜が前記 MISFET を取り囲む範囲よりも広い範囲で前記 MISFET を取り囲むストッパ絶縁膜が配置され、前記ストッパ絶縁膜が前記 MISFET を取り囲む範囲内には、前記 MISFET のソース／ドレイン領域となる半導体層が満たされ、前記素子分離絶縁膜上の前記半導体層が前記ソース／ドレイン領域に対するコンタクト領域を構成していることを特徴とする半導体装置。

【請求項 5】 前記 MISFET のゲート電極が延びる方向では、前記ストッパ絶縁膜が前記 MISFET を取り囲む範囲の幅は、前記素子分離絶縁膜が前記 MISFET を取り囲む範囲の幅に実質的に等しく、前記 MISFET のゲート電極が延びる方向に交差する方向では、前記ストッパ絶縁膜が前記 MISFET を取り囲む範囲の幅は、前記素子分離絶縁膜が前記 MISFET を取り囲む範囲の幅よりも広いことを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 半導体基板内に配置される第 1 及び第 2 素子領域と、

前記第 1 及び第 2 素子領域の間に形成される素子分離絶縁膜と、

前記素子分離絶縁膜の幅よりも狭い幅を有し、前記素子

2

分離絶縁膜上に配置されるストッパ絶縁膜と、

前記第 1 及び第 2 素子領域上並びに前記ストッパ絶縁膜上を除く前記素子分離絶縁膜上に形成される半導体層と、

前記第 1 素子領域上の前記半導体層に形成され、ソース／ドレイン領域の底面の一部が前記素子分離絶縁膜に接触する第 1 MISFET と、

前記第 2 素子領域上の前記半導体層に形成され、ソース／ドレイン領域の底面の一部が前記素子分離絶縁膜に接触する第 2 MISFET とを具備することを特徴とする半導体装置。

【請求項 7】 前記半導体基板の表面から前記ストッパ絶縁膜の上面までの高さ  $H$  と前記半導体基板の表面から前記半導体層の表面までの高さ  $T'$  は、 $H + X \geq T'$

（但し、 $X$  は、前記素子分離絶縁膜のエッジ部から前記ストッパ絶縁膜のエッジ部までの距離とする。）なる関係を有していることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記ストッパ絶縁膜は、前記素子分離絶縁膜に対してエッチング選択比を有する材料から構成されることを特徴とする請求項 1、4 及び 6 のいずれか 1 項に記載の半導体装置。

【請求項 9】 半導体基板上に形成される第 1 及び第 2 MISFET と、前記第 1 及び第 2 MISFET を電氣的に分離する素子分離絶縁膜とを備え、

前記第 1 及び第 2 MISFET は、ソース／ドレイン領域の表面が前記半導体基板の表面に形成されるチャネルよりも高い位置に配置されるエレベータッド・ソース／ドレイン構造を有し、

前記素子分離絶縁膜上には、前記第 1 及び第 2 MISFET のソース／ドレイン領域となると共に、前記第 1 及び第 2 MISFET を電氣的に接続する半導体層が形成されることを特徴とする半導体装置。

【請求項 10】 半導体基板内に配置される第 1 及び第 2 素子領域と、

前記第 1 及び第 2 素子領域の間に形成される素子分離絶縁膜と、

前記第 1 及び第 2 素子領域上並びに前記素子分離絶縁膜上に形成される半導体層と、

前記第 1 素子領域上の前記半導体層に形成される第 1 MISFET と、

前記第 2 素子領域上の前記半導体層に形成される第 2 MISFET とを備え、

前記第 1 及び第 2 MISFET のソース／ドレイン領域は、前記素子分離絶縁膜上の前記半導体層で互いに結合されていることを特徴とする半導体装置。

【請求項 11】 前記半導体基板の表面と前記素子分離絶縁膜の表面は、実質的に一致していることを特徴とする請求項 1、4、6、9 及び 10 のいずれか 1 項に記載の半導体装置。

3

【請求項12】 半導体基板上に形成される第1及び第2 MISFETと、前記第1及び第2 MISFETを電気的に分離するSTI構造の素子分離絶縁膜とを備え、前記第1及び第2 MISFETは、ソース/ドレイン領域の表面が前記半導体基板の表面に形成されるチャネルよりも高い位置に配置されるエレベータッド・ソース/ドレイン構造を有し、前記素子分離絶縁膜のエッジ部には窪みが設けられ、前記窪み内には、前記第1及び第2 MISFETのソース/ドレイン領域となる半導体層が満たされることを特徴とする半導体装置。

【請求項13】 半導体基板内に配置される第1及び第2素子領域と、前記第1及び第2素子領域の間に形成され、エッジ部に窪みを有するSTI構造の素子分離絶縁膜と、前記第1及び第2素子領域上及び前記素子分離絶縁膜の窪み内に形成される半導体層と、前記第1素子領域上の前記半導体層に形成され、ソース/ドレイン領域の底面の一部が前記素子分離絶縁膜に接触する第1 MISFETと、前記第2素子領域上の前記半導体層に形成され、ソース/ドレイン領域の底面の一部が前記素子分離絶縁膜に接触する第2 MISFETとを具備することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に選択的に形成されるエピタキシャル層を有する半導体装置に関し、例えば、エレベータッド・ソース/ドレイン(elevated source/drain)構造を有するMISFETに使用される。

【0002】

【従来の技術】(1) 従来、MISFET(一般には、MOSFET)の性能向上を目的として、いわゆるエレベータッド・ソース/ドレイン構造が提案されている。エレベータッド・ソース/ドレイン構造とは、シリコン基板の表面(MOSFETのチャネル)よりも高い位置にソース/ドレイン領域の表面を配置した構造のことである。

【0003】図54は、エレベータッド・ソース/ドレイン構造を有するMOSFETから構成される従来のCMOS集積回路を示している。

【0004】単結晶シリコン基板11内には、p型ウェル領域12及びn型ウェル領域13が形成される。シリコン基板11は、n型であっても、又はp型であってもよい。p型ウェル領域12とn型ウェル領域13の間には、STI(shallow trench isolation)構造の素子分離絶縁膜14が形成される。

【0005】ここで、シリコン基板11の表面と素子分離絶縁膜14の表面は、概ね一致している。素子分離絶

4

縁膜14の表面をシリコン基板11の表面に一致させれば、例えば、シリコン基板11及び素子分離絶縁膜14に跨って形成されるゲート電極の加工が容易に行えるためである。

【0006】p型ウェル領域12上には、nチャネル型MOSFETが形成される。

【0007】即ち、p型ウェル領域12上には、シリコン酸化膜(ゲート絶縁膜)15及び不純物を含むポリシリコン膜(ゲート電極)16が形成される。ポリシリコン膜16上には、例えば、ポリシリコン膜16を加工する際のマスクとなるシリコン酸化膜(キャップ酸化膜)17が形成される。また、ポリシリコン膜16の側壁には、例えば、シリコン窒化膜(側壁絶縁膜)18が形成される。

【0008】p型ウェル領域12内には、n型ソース/ドレイン領域19及びこのソース/ドレイン領域19よりも低濃度のn型エクステンション領域20が形成される。即ち、ソース/ドレイン領域19は、ポリシリコン膜16の両側のp型ウェル領域12内に形成され、n型エクステンション領域20は、シリコン窒化膜18の直下のp型ウェル領域12内に形成される。

【0009】シリコン基板11(ソース/ドレイン領域19)上には、エピタキシャル層21が選択的に形成される。エピタキシャル層21は、シリコン基板11(ソース/ドレイン領域19)と同様に、単結晶シリコンから構成され、かつ、n型の不純物を含んでいるため、ソース/ドレイン領域19の一部となっている。

【0010】エピタキシャル層(ソース/ドレイン領域)21上には、高融点金属シリサイド層(タングステンシリサイド層、チタンシリサイド層など)22が形成される。本例では、高融点金属シリサイド層22は、ポリシリコン膜(ゲート電極)16上に形成されていないが、シリコン酸化膜(キャップ酸化膜)17を除去し、ポリシリコン膜16上に形成してもよい(サリサイド構造)。

【0011】n型ウェル領域13上には、pチャネル型MOSFETが形成される。

【0012】即ち、n型ウェル領域13上には、シリコン酸化膜(ゲート絶縁膜)23及び不純物を含むポリシリコン膜(ゲート電極)24が形成される。ポリシリコン膜24上には、例えば、ポリシリコン膜24を加工する際のマスクとなるシリコン酸化膜(キャップ酸化膜)25が形成される。また、ポリシリコン膜24の側壁には、例えば、シリコン窒化膜(側壁絶縁膜)26が形成される。

【0013】n型ウェル領域13内には、p型ソース/ドレイン領域27及びこのソース/ドレイン領域27よりも低濃度のp型エクステンション領域28が形成される。即ち、ソース/ドレイン領域27は、ポリシリコン膜24の両側のn型ウェル領域13内に形成され、p型

5

エクステンション領域28は、シリコン窒化膜26の直下のn型ウェル領域13内に形成される。

【0014】シリコン基板11（ソース／ドレイン領域27）上には、エピタキシャル層29が選択的に形成される。エピタキシャル層29は、シリコン基板11（ソース／ドレイン領域27）と同様に、単結晶シリコンから構成され、かつ、p型の不純物を含んでいるため、ソース／ドレイン領域27の一部となっている。

【0015】エピタキシャル層（ソース／ドレイン領域）29上には、高融点金属シリサイド層（タングステンシリサイド層、チタンシリサイド層など）30が形成される。本例では、高融点金属シリサイド層30は、ポリシリコン膜（ゲート電極）24上に形成されていないが、シリコン酸化膜（キャップ酸化膜）25を除去し、ポリシリコン膜24上に形成してもよい（シリサイド構造）。

【0016】層間絶縁膜31は、nチャネル型MOSトランジスタ及びpチャネル型MOSトランジスタを完全に覆うようにしてシリコン基板11上に形成される。層間絶縁膜31は、例えば、シリコン酸化膜から構成される。層間絶縁膜31には、例えば、ポリシリコン膜（ゲート電極）16及び高融点金属シリサイド層22に達するコンタクトホールが設けられる。

【0017】導電性材料（金属、高融点金属シリサイドなど）から構成されるコンタクトプラグ32a、32bは、コンタクトホール内に埋め込まれる。また、配線33a、33bは、層間絶縁膜31上に形成され、その一端は、コンタクトプラグ32a、32bに接続される。

【0018】層間絶縁膜31上には、例えば、配線33a、33bを覆うようなパッシベーション膜34が形成される。パッシベーション膜34は、シリコン窒化膜などの絶縁膜から構成される。

【0019】次に、上述のCMOS集積回路の製造方法について説明する。

【0020】まず、図55に示すように、例えば、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜14を形成する。

【0021】素子分離絶縁膜14は、例えば、シリコン窒化膜をマスクにしてシリコン基板にトレンチを形成し、シリコン窒化膜上にトレンチ内を完全に満たすシリコン酸化膜を形成した後、CMP（chemical mechanical polishing）でシリコン酸化膜を研磨及びエッチングすることにより形成される。

【0022】シリコン窒化膜は、CMP時のストッパとして機能し、CMP工程が終了した後に除去される。

【0023】なお、素子分離絶縁膜14の表面をシリコン基板11の表面に概ね等しくするためには、例えば、CMP時にシリコン酸化膜をオーバーエッチングするか、又はCMP後に別の方法でシリコン酸化膜をさらにエッチングすればよい。

6

【0024】次に、図56に示すように、例えば、イオン注入法により、シリコン基板11内にp型不純物をイオン注入してp型ウェル領域12を形成し、かつ、シリコン基板11内にn型不純物をイオン注入してn型ウェル領域13を形成する。この後、例えば、熱酸化法により、素子分離絶縁膜14に取り囲まれた素子領域上にシリコン酸化膜（ゲート酸化膜）15、23を形成する。

【0025】例えば、CVD法を用いて、素子分離絶縁膜14上及びシリコン酸化膜15、23上に不純物を含んだポリシリコン膜16、24を形成する。続けて、例えば、CVD法により、ポリシリコン膜16、24上にシリコン酸化膜（キャップ酸化膜）17、25を形成する。この後、PEP（写真蝕刻工程）を行い、シリコン酸化膜17、25上に所定のパターンを有するレジスト膜を形成する。

【0026】このレジスト膜をマスクにして、RIEにより、シリコン酸化膜17、25をエッチングする。この後、レジスト膜は、剥離される。また、シリコン酸化膜17、25をマスクにして、RIEにより、ポリシリコン膜16、24をエッチングする。その結果、ポリシリコン膜16、24からなるMOSFETのゲート電極が出来上がる。

【0027】この後、シリコン酸化膜17、25は、除去しても、又は除去しなくてもよい。本例では、シリコン酸化膜17、25は、そのまま残しておくことにする。

【0028】また、イオン注入法を用いて、ポリシリコン膜（ゲート電極）16をマスクにして、セルフアラインにより、p型ウェル領域12内にn型不純物をイオン注入する。その結果、p型ウェル領域12内には、浅くかつ低濃度のn型不純物領域、即ち、n型エクステンション領域20が形成される。

【0029】同様に、イオン注入法を用いて、ポリシリコン膜（ゲート電極）24をマスクにして、セルフアラインにより、n型ウェル領域13内にp型不純物をイオン注入する。その結果、n型ウェル領域13内には、浅くかつ低濃度のp型不純物領域、即ち、p型エクステンション領域28が形成される。

【0030】この後、熱酸化を行い、ポリシリコン膜（ゲート電極）16、24の表面にシリコン酸化膜を形成する。

【0031】また、例えば、CVD法により、素子分離絶縁膜14上及び素子領域上の全体に、ポリシリコン膜（ゲート電極）16、24を完全に覆うようなシリコン窒化膜18、26を形成する。また、RIEにより、シリコン窒化膜18、26をエッチングし、このシリコン窒化膜18、26をポリシリコン膜16、24の側壁のみに残存させる。

【0032】この後、ポリシリコン膜16、24の両側のシリコン酸化膜15、23を除去し、シリコン基板1

7

1、即ち、n型エクステンション領域20及びp型エクステンション領域28を露出させる。

【0033】次に、図57に示すように、選択エピタキシャル成長により、剥き出しになったn型エクステンション領域20（シリコン基板11）上にエピタキシャル層（単結晶シリコン層）21を選択的に形成すると共に、剥き出しになったp型エクステンション領域28（シリコン基板11）上にエピタキシャル層（単結晶シリコン層）29を選択的に形成する。

【0034】なお、選択エピタキシャル成長法とは、原料ガスや成膜温度などを調節することにより、選択的（例えば、シリコン上のみ）にエピタキシャル層を形成する技術のことである。

【0035】本例では、ポリシリコン膜16、24上にはシリコン酸化膜17、25が存在するため、ポリシリコン膜16、24上にエピタキシャル層は成長しない。しかし、シリコン酸化膜17、25を予め除去しておく場合には、選択エピタキシャル成長時、ポリシリコン膜16、24上にはポリシリコンエピタキシャル層が成長する。

【0036】次に、図58に示すように、イオン注入法を用いて、ポリシリコン膜16及びシリコン窒化膜18をマスクにして、セルフアラインにより、p型ウェル領域12内及びエピタキシャル層21内にn型不純物をイオン注入する。また、イオン注入法を用いて、ポリシリコン膜24及びシリコン窒化膜26をマスクにして、セルフアラインにより、n型ウェル領域13内及びエピタキシャル層29内にp型不純物をイオン注入する。

【0037】その結果、p型ウェル領域12内及びエピタキシャル層21内には、n型エクステンション領域20よりも深くかつ高濃度の不純物領域、即ち、n型ソース／ドレイン領域19が形成され、n型ウェル領域13内及びエピタキシャル層29内には、p型エクステンション領域28よりも深くかつ高濃度の不純物領域、即ち、p型ソース／ドレイン領域27が形成される。

【0038】また、例えば、CVD法により、エピタキシャル層21、29上を含むシリコン基板11の全面上に高融点金属膜（タングステン、チタンなど）を形成する。この後、アニール（熱工程）を行うと、エピタキシャル層21、29内のシリコンと高融点金属膜が化学反応し、エピタキシャル層21、29の上部に高融点金属シリサイド層22、30が形成される。

【0039】この後、未反応の高融点金属膜が除去される。

【0040】ここで、ポリシリコン膜（ゲート電極）16、24上のシリコン酸化膜17、25を予め除去しておく場合には、アニール時に、ポリシリコン膜16、24と高融点金属膜が化学反応し、ポリシリコン膜16、24の上部にも高融点金属シリサイド層が形成される（シリサイド構造）。

8

【0041】次に、図59に示すように、例えば、CVD法により、シリコン基板11上の全体に層間絶縁膜31を形成する。また、例えば、PEP及びエッチング技術を用いて、層間絶縁膜31にポリシリコン膜16に達するコンタクトホール及び高融点金属シリサイド層22に達するコンタクトホールを形成する。

【0042】また、例えば、CVD及びCMP技術を用いて、これらコンタクトホール内にコンタクトプラグ32a、32bを形成する。この後、層間絶縁膜31上に配線33a、33bを形成する。最後に、例えば、CVD法により、層間絶縁膜31上に、パッシベーション膜34を形成する。

【0043】以上の工程により、エレベータッド・ソース／ドレイン構造を有するMOSFETから構成されるCMOS集積回路が完成する。

【0044】次に、エレベータッド・ソース／ドレイン構造の利点について説明する。

【0045】図60は、エレベータッド・ソース／ドレイン構造を有しない通常のMOSFETの構造を示している。図61は、エレベータッド・ソース／ドレイン構造を有するMOSFETの構造を示している。

【0046】図60に示すように、通常のMOSFETでは、一般に、寄生抵抗を低減させるために、ソース／ドレイン領域19上に低抵抗のシリサイド層22が形成される。このシリサイド層22は、ソース／ドレイン領域（シリコン基板）19と高融点金属膜の化学反応により形成されるものである。このため、シリサイド層22は、ソース／ドレイン領域19内に形成される。

【0047】しかし、シリサイド層22がソース／ドレイン領域19内に進入し過ぎると、シリサイド層22が接合界面（ウェル領域12とソース／ドレイン領域19の接合界面）又はその近傍に発生する空乏層に接触し、リーク電流や耐圧不良の原因となる。

【0048】よって、通常のMOSFETでは、ソース／ドレイン領域19の深さ $x_j1$ （チャネル（基板表面）から接合界面までの距離 $x_j2$ に等しい）を大きく設定し（例えば、 $x_j=0.15\sim0.1\mu\text{m}$ ）、シリサイド層22の進入によるリーク電流や耐圧不良を防いでいる。

【0049】ところが、ソース／ドレイン領域19の深さ $x_j1$ が大きくなり、チャネル（基板表面）から接合界面までの距離 $x_j2$ が大きくなると、ショートチャネル効果が発生し易くなる。また、ウェル領域12の濃度を高くすることによりショートチャネル効果を抑制することができるが、反面、MOSFETの閾値が高くなったり、寄生容量が増加するなどの問題が生じる。

【0050】これに対し、図61に示すように、エレベータッド・ソース／ドレイン構造を有するMOSFETでは、エピタキシャル層21もソース／ドレイン領域19の一部として機能するため、ソース／ドレイン領域の

9

深さ $x_j 1$ を十分に大きくできる。このため、シリサイド層22によるリーク電流や耐圧不良などの問題を回避できる。

【0051】また、チャネル（基板表面）から接合界面までの距離 $x_j 2$ は、ソース／ドレイン領域の深さ $x_j 1$ よりも小さく設定できる。このため、ショートチャネル効果を抑制できる。

【0052】次に、MOSFETの寄生容量の低減について検討する。

【0053】図62に示すように、通常のMOSFETの場合、ウェル領域12とソース／ドレイン領域19の間の寄生容量は、ソース／ドレイン領域19を小さくする、即ち、ウェル領域12とソース／ドレイン領域19の接合界面の面積を小さくすることにより低減できる。

【0054】しかし、ソース／ドレイン領域19上には、配線に対するコンタクト領域が設けられる。このコンタクト領域は、縮小することができないので、実際には、ソース／ドレイン領域19を小さくすることができず、寄生容量の低減が十分にできない問題がある。

【0055】これに対し、図63に示すように、エレベータッド・ソース／ドレイン構造を有するMOSFETでは、ソース／ドレイン領域に対するコンタクト領域は、素子分離膜14上のエピタキシャル層21上に設けられる。このため、コンタクト領域とは無関係に、シリコン基板11内のソース／ドレイン領域19を小さくする、即ち、ウェル領域12とソース／ドレイン領域19の接合界面の面積を小さくすることが可能であり、寄生容量の大幅な低減が可能である。

【0056】(2) 従来、エピタキシャル層内にMISFET（一般には、MOSFET）を形成し、MISFETの性能向上を達成する構造が提案されている。

【0057】図64は、エピタキシャル層内に形成されたMOSFETから構成される従来のCMOS集積回路を示している。

【0058】単結晶シリコン基板11上には、エピタキシャル層21、29が形成される。エピタキシャル層21、29は、シリコン基板11と同様に、単結晶シリコンから構成される。シリコン基板11内及びエピタキシャル層21内には、p型ウェル領域12が形成され、シリコン基板11内及びエピタキシャル層29内には、n型ウェル領域13が形成される。

【0059】シリコン基板11は、n型であっても、又はp型であってもよい。p型ウェル領域12とn型ウェル領域13の間には、STI構造の素子分離絶縁膜14が形成される。シリコン基板11の表面と素子分離絶縁膜14の表面は、概ね一致している。

【0060】p型ウェル領域12上には、nチャネル型MOSFETが形成される。

【0061】即ち、p型ウェル領域12上には、シリコン酸化膜（ゲート絶縁膜）15及び不純物を含むポリシ

10

リコン膜（ゲート電極）16が形成される。ポリシリコン膜16上には、例えば、ポリシリコン膜16を加工する際のマスクとなるシリコン酸化膜（キャップ酸化膜）17が形成される。また、ポリシリコン膜16の側壁には、例えば、シリコン窒化膜（側壁絶縁膜）18が形成される。

【0062】p型ウェル領域12内には、n型ソース／ドレイン領域19及びこのソース／ドレイン領域19よりも低濃度のn型エクステンション領域20が形成される。即ち、ソース／ドレイン領域19は、ポリシリコン膜16の両側のp型ウェル領域12内に形成され、n型エクステンション領域20は、シリコン窒化膜18の直下のp型ウェル領域12内に形成される。

【0063】ソース／ドレイン領域19の一部は、素子分離絶縁膜14上に存在している。このため、p型ウェル領域12とn型ソース／ドレイン領域19の接合界面の面積が小さくなるため、ソース／ドレイン領域19における寄生容量を小さくすることができる。また、素子分離絶縁膜14上のエピタキシャル層21もソース／ドレイン領域として機能するため、コンタクト領域も確保することができる。

【0064】n型ウェル領域13上には、pチャネル型MOSFETが形成される。

【0065】即ち、n型ウェル領域13上には、シリコン酸化膜（ゲート絶縁膜）23及び不純物を含むポリシリコン膜（ゲート電極）24が形成される。ポリシリコン膜24上には、例えば、ポリシリコン膜24を加工する際のマスクとなるシリコン酸化膜（キャップ酸化膜）25が形成される。また、ポリシリコン膜24の側壁には、例えば、シリコン窒化膜（側壁絶縁膜）26が形成される。

【0066】n型ウェル領域13内には、p型ソース／ドレイン領域27及びこのソース／ドレイン領域27よりも低濃度のp型エクステンション領域28が形成される。即ち、ソース／ドレイン領域27は、ポリシリコン膜24の両側のn型ウェル領域13内に形成され、p型エクステンション領域28は、シリコン窒化膜26の直下のn型ウェル領域13内に形成される。

【0067】ソース／ドレイン領域27の底面の一部は、素子分離絶縁膜14に接触している。このため、n型ウェル領域13とp型ソース／ドレイン領域27の接合界面の面積を小さくできるため、ソース／ドレイン領域27における寄生容量を小さくできる。また、素子分離絶縁膜14上のエピタキシャル層29もソース／ドレイン領域として機能するため、コンタクト領域も確保することができる。

【0068】層間絶縁膜31は、nチャネル型MOSトランジスタ及びpチャネル型MOSトランジスタを完全に覆うようにしてシリコン基板11上に形成される。層間絶縁膜31は、例えば、シリコン酸化膜から構成され



11

る。層間絶縁膜31には、例えば、ポリシリコン膜（ゲート電極）16及びn型ソース／ドレイン領域19に達するコンタクトホールが設けられる。

【0069】導電性材料（金属、高融点金属シリサイドなど）から構成されるコンタクトプラグ32a、32bは、コンタクトホール内に埋め込まれる。また、配線33a、33bは、層間絶縁膜31上に形成され、その一端は、コンタクトプラグ32a、32bに接続される。

【0070】層間絶縁膜31上には、例えば、配線33a、33bを覆うようなパッシベーション膜34が形成される。パッシベーション膜34は、シリコン窒化膜などの絶縁膜から構成される。

【0071】次に、上述のCMOS集積回路の製造方法について説明する。

【0072】まず、図65に示すように、例えば、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜14を形成する。

【0073】素子分離絶縁膜14は、例えば、シリコン窒化膜をマスクにしてシリコン基板にトレンチを形成し、シリコン窒化膜上にトレンチ内を完全に満たすシリコン酸化膜を形成した後、CMPでシリコン酸化膜を研磨及びエッチングすることにより形成される。

【0074】シリコン窒化膜は、CMP時のストッパとして機能し、CMP工程が終了した後に除去される。

【0075】なお、素子分離絶縁膜14の表面をシリコン基板11の表面に概ね等しくするためには、例えば、CMP時にシリコン酸化膜をオーバーエッチングするか、又はCMP後に別の方法でシリコン酸化膜をさらにエッチングすればよい。

【0076】次に、図66に示すように、選択エピタキシャル成長法により、シリコン基板11上に選択的にエピタキシャル層（単結晶シリコン層）21、29を形成する。この選択エピタキシャル成長では、原料ガスや成膜温度などを調節することにより、素子分離絶縁膜14上にエピタキシャル層を成長させずに、シリコン基板11上のみにエピタキシャル層を成長させることができる。

【0077】但し、エピタキシャル層21、29は、横方向にも成長するため、最終的には、エピタキシャル層21、29は、素子分離絶縁膜14上にも形成される。

【0078】次に、図67に示すように、例えば、イオン注入法により、シリコン基板11内及びエピタキシャル層21内にp型不純物をイオン注入してp型ウェル領域12を形成し、かつ、シリコン基板11内及びエピタキシャル層29内にn型不純物をイオン注入してn型ウェル領域13を形成する。この後、例えば、熱酸化法により、エピタキシャル層21、29上、即ち、p型ウェル領域12上及びn型ウェル領域13上にシリコン酸化膜（ゲート酸化膜）15、23を形成する。

【0079】また、例えば、CVD法を用いて、素子分

12

離絶縁膜14上及びシリコン酸化膜15、23上に不純物を含んだポリシリコン膜16、24を形成する。続けて、例えば、CVD法により、ポリシリコン膜16、24上にシリコン酸化膜（キャップ酸化膜）17、25を形成する。この後、PEP（写真蝕刻工程）を行い、シリコン酸化膜17、25上に所定のパターンを有するレジスト膜を形成する。

【0080】このレジスト膜をマスクにして、RIEにより、シリコン酸化膜17、25をエッチングする。この後、レジスト膜は、剥離される。また、シリコン酸化膜17、25をマスクにして、RIEにより、ポリシリコン膜16、24をエッチングする。その結果、ポリシリコン膜16、24からなるMOSFETのゲート電極が出来上がる。

【0081】また、イオン注入法を用いて、ポリシリコン膜（ゲート電極）16をマスクにして、セルフアラインにより、p型ウェル領域12内にn型不純物をイオン注入する。その結果、p型ウェル領域12内には、浅くかつ低濃度のn型不純物領域、即ち、n型エクステンション領域20が形成される。

【0082】同様に、イオン注入法を用いて、ポリシリコン膜（ゲート電極）24をマスクにして、セルフアラインにより、n型ウェル領域13内にp型不純物をイオン注入する。その結果、n型ウェル領域13内には、浅くかつ低濃度のp型不純物領域、即ち、p型エクステンション領域28が形成される。

【0083】この後、熱酸化を行い、ポリシリコン膜（ゲート電極）16、24の表面にシリコン酸化膜を形成する。

【0084】また、例えば、CVD法により、素子分離絶縁膜14上及び素子領域上の全体に、ポリシリコン膜（ゲート電極）16、24を完全に覆うようなシリコン窒化膜18、26を形成する。また、RIEにより、シリコン窒化膜18、26をエッチングし、このシリコン窒化膜18、26をポリシリコン膜16、24の側壁のみに残存させる。

【0085】この後、イオン注入法を用いて、ポリシリコン膜16及びシリコン窒化膜18をマスクにして、セルフアラインにより、p型ウェル領域12にn型不純物をイオン注入する。また、イオン注入法を用いて、ポリシリコン膜24及びシリコン窒化膜26をマスクにして、セルフアラインにより、n型ウェル領域13にp型不純物をイオン注入する。

【0086】その結果、p型ウェル領域12内には、n型エクステンション領域20よりも深くかつ高濃度の不純物領域、即ち、n型ソース／ドレイン領域19が形成され、n型ウェル領域13内には、p型エクステンション領域28よりも深くかつ高濃度の不純物領域、即ち、p型ソース／ドレイン領域27が形成される。

【0087】次に、図68に示すように、例えば、CV



13

D法により、シリコン基板11上の全体に層間絶縁膜31を形成する。また、例えば、PEP及びエッチング技術を用いて、層間絶縁膜31にポリシリコン膜16に達するコンタクトホール及びソース/ドレイン領域19に達するコンタクトホールを形成する。

【0088】また、例えば、CVD及びCMP技術を用いて、これらコンタクトホール内にコンタクトプラグ32a、32bを形成する。この後、層間絶縁膜31上に配線33a、33bを形成する。最後に、例えば、CVD法により、層間絶縁膜31上に、パッシベーション膜34を形成する。

【0089】以上の工程により、エピタキシャル層21、29内に形成されたMOSFETから構成されるCMOS集積回路が完成する。

【0090】このCMOS集積回路の特徴は、図69に示すように、エピタキシャル層21内にMOSFETが形成されると共に、ソース/ドレイン領域19の一部が素子分離絶縁膜14上に配置されている点にある。このため、ウェル領域12とソース/ドレイン領域19の接合界面の面積を小さくすることが可能であり、寄生容量の大幅な低減が可能である。

【0091】

【発明が解決しようとする課題】上述の(1)及び(2)に示す従来例では、それぞれシリコン基板11上に選択的にエピタキシャル層21、29が形成される。ここで、選択エピタキシャル成長時において、エピタキシャル層21、29は、シリコン基板11の表面から縦方向及び横方向に等しく成長が進行する。このため、エピタキシャル層21、29は、素子分離絶縁膜14上にも形成されることになる。

【0092】この場合、図70に示すように、素子分離幅は、エピタキシャル層21、29を形成する前では、A(素子分離絶縁膜14の幅)であるのに対し、エピタキシャル層21、29を形成した後では、 $B(=A-2t)$ となる。但し、 $t$ は、エピタキシャル層21、29の厚さである。つまり、素子分離幅は、最終的に、素子分離絶縁膜14の幅よりも狭くなる。

【0093】従って、図71に示すように、例えば、特性上要求される最小の素子分離幅、即ち、最終的な素子分離幅を $a$ と仮定し、エピタキシャル層21、29の厚さ、即ち、エピタキシャル層21、29が素子分離絶縁膜14上に入り込む幅を $t$ と仮定した場合、素子分離絶縁膜14の幅 $b$ は、 $(a+2t)$ に設定しておかなければならない。

【0094】また、最終的な素子領域の幅(エピタキシャル層の幅)を $c$ と仮定した場合、エピタキシャル層を形成する前の素子領域の幅 $d$ は、 $(c-2t)$ に設定しておかなければならない。

【0095】しかし、エピタキシャル層を形成する前の素子領域の幅 $d$ は、フォトリソグラフィにおける最小加

14

工寸法 $h$ に影響を受ける。つまり、幅 $d$ は、この最小加工寸法 $h$ よりも狭くすることはできない。よって、計算上、幅 $d$ が最小加工寸法 $h$ よりも狭くなるような場合でも、実際は、幅 $d$ は、最小加工寸法 $h$ までしか狭められないため、結果として、素子領域が大きくなり、素子の集積度の低下の原因となる。

【0096】また、エピタキシャル層の成長速度は、下地の種類や大きさによって変わる。例えば、p型ウェル領域上に形成するエピタキシャル層の成長速度とn型ウェル領域上に形成するエピタキシャル層の成長速度は、互いに異なる。また、素子領域(シリコン基板の露出面積)が小さくなると、素子領域上に形成するエピタキシャル層の成長速度は遅くなり、素子領域が大きくなると、素子領域上に形成するエピタキシャル層の成長速度は速くなる。

【0097】このように、エピタキシャル層の成長速度が下地の種類や大きさによって異なるため、実際は、最も成長速度が遅い箇所に合わせてエピタキシャル層の成長時間を決定している。この場合、最も成長速度の速い箇所では、素子分離幅が理想の値 $a$ よりも狭くなったり、最悪の場合には、隣接する2つの素子領域でエピタキシャル層同士が結合し、両素子領域が短絡してしまう事態が生じる。

【0098】このような事態を回避するためには、エピタキシャル層の成長速度のばらつきを考慮して、素子分離絶縁膜14の幅 $b$ に、さらに $\Delta b$ のマージンを設定しておかなければならない。しかし、素子分離絶縁膜14の幅をさらに広くすることは、素子の集積度の低下やチップサイズの増大をもたらす。

【0099】このように、従来のエレベータッド・ソース/ドレイン構造を有するMISFETやエピタキシャル層内に形成されるMISFETから構成されるCMOS集積回路では、エピタキシャル層が縦方向及び横方向に等方的に成長するため、エピタキシャル層は素子分離絶縁膜上にも形成される。

【0100】このため、素子分離絶縁膜の幅を広めに設定し、エピタキシャル成長前の素子領域の幅を狭めに設定しておく必要があり、また、素子分離絶縁膜については、エピタキシャル層の成長速度のばらつきを考慮して、所定のマージン幅 $\Delta b$ だけさらに広めに設定しておく必要がある。

【0101】よって、従来のエレベータッド・ソース/ドレイン構造を有するMISFETやエピタキシャル層内に形成されるMISFETから構成されるCMOS集積回路では、素子の集積度が低下したり、また、チップサイズが増大するなどの問題があった。

【0102】本発明は、上記問題点を解決すべくなされたもので、その目的は、エレベータッド・ソース/ドレイン構造のMISFETやエピタキシャル層内に形成されるMISFETなどから構成される半導体装置におい

て、素子の集積度の向上及びチップサイズの縮小を図ることができる新規な構造を提案することである。

#### 【0103】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、半導体基板上に形成される第1及び第2MISFETと、前記第1及び第2MISFETを電氣的に分離する素子分離絶縁膜とを備え、前記第1及び第2MISFETは、ソース／ドレイン領域の表面が前記半導体基板の表面に形成されるチャネルよりも高い位置に配置されるエレベータード・ソース／ドレイン構造を有し、前記素子分離絶縁膜上には、前記素子分離絶縁膜の幅以下の幅を有するストッパ絶縁膜が配置されている。

【0104】前記ストッパ絶縁膜の幅が前記素子分離絶縁膜の幅と実質的に同じで、前記半導体基板の表面から前記ストッパ絶縁膜の上面までの高さが、前記半導体基板の表面から前記ソース／ドレイン領域の表面までの高さ以上である。

【0105】前記ストッパ絶縁膜の幅が前記素子分離絶縁膜の幅よりも狭く、前記半導体基板の表面から前記ストッパ絶縁膜の上面までの高さHと前記半導体基板の表面から前記ソース／ドレイン領域の表面までの高さT'は、 $H + X \geq T'$ （但し、Xは、前記素子分離絶縁膜のエッジ部から前記ストッパ絶縁膜のエッジ部までの距離とする。）なる関係を有している。

【0106】本発明の半導体装置は、半導体基板上に形成されるMISFETと、前記MISFETを取り囲む素子分離絶縁膜とを備え、前記素子分離絶縁膜上には、前記素子分離絶縁膜が前記MISFETを取り囲む範囲よりも広い範囲で前記MISFETを取り囲むストッパ絶縁膜が配置され、前記ストッパ絶縁膜が前記MISFETを取り囲む範囲内には、前記MISFETのソース／ドレイン領域となる半導体層が満たされ、前記素子分離絶縁膜上の前記半導体層が前記ソース／ドレイン領域に対するコンタクト領域を構成している。

【0107】前記MISFETのゲート電極が延びる方向では、前記ストッパ絶縁膜が前記MISFETを取り囲む範囲の幅は、前記素子分離絶縁膜が前記MISFETを取り囲む範囲の幅に実質的に等しく、前記MISFETのゲート電極が延びる方向に交差する方向では、前記ストッパ絶縁膜が前記MISFETを取り囲む範囲の幅は、前記素子分離絶縁膜が前記MISFETを取り囲む範囲の幅よりも広くなっている。

【0108】本発明の半導体装置は、半導体基板内に配置される第1及び第2素子領域と、前記第1及び第2素子領域の間に形成される素子分離絶縁膜と、前記素子分離絶縁膜の幅よりも狭い幅を有し、前記素子分離絶縁膜上に配置されるストッパ絶縁膜と、前記第1及び第2素子領域上並びに前記ストッパ絶縁膜上を除く前記素子分離絶縁膜上に形成される半導体層と、前記第1素子領域

上の前記半導体層に形成され、ソース／ドレイン領域の底面の一部が前記素子分離絶縁膜に接触する第1MISFETと、前記第2素子領域上の前記半導体層に形成され、ソース／ドレイン領域の底面の一部が前記素子分離絶縁膜に接触する第2MISFETとを備える。

【0109】前記半導体基板の表面から前記ストッパ絶縁膜の上面までの高さHと前記半導体基板の表面から前記半導体層の表面までの高さT'は、 $H + X \geq T'$ （但し、Xは、前記素子分離絶縁膜のエッジ部から前記ストッパ絶縁膜のエッジ部までの距離とする。）なる関係を有している。

【0110】本発明の半導体装置は、半導体基板上に形成される第1及び第2MISFETと、前記第1及び第2MISFETを電氣的に分離する素子分離絶縁膜とを備え、前記第1及び第2MISFETは、ソース／ドレイン領域の表面が前記半導体基板の表面に形成されるチャネルよりも高い位置に配置されるエレベータード・ソース／ドレイン構造を有し、前記素子分離絶縁膜上には、前記第1及び第2MISFETのソース／ドレイン領域となると共に、前記第1及び第2MISFETを電氣的に接続する半導体層が形成される。

【0111】本発明の半導体装置は、半導体基板内に配置される第1及び第2素子領域と、前記第1及び第2素子領域の間に形成される素子分離絶縁膜と、前記第1及び第2素子領域上及び前記素子分離絶縁膜上に形成される半導体層と、前記第1素子領域上の前記半導体層に形成される第1MISFETと、前記第2素子領域上の前記半導体層に形成される第2MISFETとを備え、前記第1及び第2MISFETのソース／ドレイン領域は、前記素子分離絶縁膜上の前記半導体層で互いに結合されている。

【0112】上述の各半導体装置において、前記ストッパ絶縁膜は、前記素子分離絶縁膜に対してエッチング選択比を有する材料から構成される。また、前記半導体基板の表面と前記素子分離絶縁膜の表面は、実質的に一致している。

【0113】本発明の半導体装置は、半導体基板上に形成される第1及び第2MISFETと、前記第1及び第2MISFETを電氣的に分離するSTI構造の素子分離絶縁膜とを備え、前記第1及び第2MISFETは、ソース／ドレイン領域の表面が前記半導体基板の表面に形成されるチャネルよりも高い位置に配置されるエレベータード・ソース／ドレイン構造を有し、前記素子分離絶縁膜のエッジ部には窪みが設けられ、前記窪み内には、前記第1及び第2MISFETのソース／ドレイン領域となる半導体層が満たされる。

【0114】本発明の半導体装置は、半導体基板内に配置される第1及び第2素子領域と、前記第1及び第2素子領域の間に形成され、エッジ部に窪みを有するSTI構造の素子分離絶縁膜と、前記第1及び第2素子領域上

17

及び前記素子分離絶縁膜の窪み内に形成される半導体層と、前記第1素子領域上の前記半導体層に形成され、ソース／ドレイン領域の底面の一部が前記素子分離絶縁膜に接触する第1MISFETと、前記第2素子領域上の前記半導体層に形成され、ソース／ドレイン領域の底面の一部が前記素子分離絶縁膜に接触する第2MISFETとを備えている。

【0115】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体装置について詳細に説明する。

【0116】図1は、本発明の第1実施の形態に関わる半導体装置を示している。

【0117】この半導体装置は、CMOS集積回路を構成するエレベータッド・ソース／ドレイン構造を有するMOSFETに関する。

【0118】単結晶シリコン基板11内には、p型ウェル領域12及びn型ウェル領域13が形成される。シリコン基板11は、n型であっても、又はp型であってもよい。p型ウェル領域12とn型ウェル領域13の間には、STI構造の素子分離絶縁膜14が形成される。素子分離絶縁膜14の表面は、シリコン基板11の表面に概ね一致している。

【0119】p型ウェル領域12上には、nチャネル型MOSFETが形成される。

【0120】即ち、p型ウェル領域12上には、シリコン酸化膜（ゲート絶縁膜）15及び不純物を含むポリシリコン膜（ゲート電極）16が形成される。ポリシリコン膜16上には、例えば、ポリシリコン膜16を加工する際のマスクとなるシリコン酸化膜（キャップ酸化膜）17が形成される。また、ポリシリコン膜16の側壁には、例えば、シリコン窒化膜（側壁絶縁膜）18が形成される。

【0121】p型ウェル領域12内には、n型ソース／ドレイン領域19及びこのソース／ドレイン領域19よりも低濃度のn型エクステンション領域20が形成される。即ち、ソース／ドレイン領域19は、ポリシリコン膜16の両側のp型ウェル領域12内に形成され、n型エクステンション領域20は、シリコン窒化膜18の直下のp型ウェル領域12内に形成される。

【0122】シリコン基板11（ソース／ドレイン領域19）上には、エピタキシャル層21が選択的に形成される。エピタキシャル層21は、シリコン基板11（ソース／ドレイン領域19）と同様に、単結晶シリコンから構成され、かつ、n型の不純物を含んでいるため、ソース／ドレイン領域19の一部となっている。

【0123】エピタキシャル層（ソース／ドレイン領域）21上には、高融点金属シリサイド層（タングステンシリサイド層、チタンシリサイド層など）22が形成される。本例では、高融点金属シリサイド層22は、ポリシリコン膜（ゲート電極）16上に形成されていない

18

が、シリコン酸化膜（キャップ酸化膜）17を除去し、ポリシリコン膜16上に形成してもよい。

【0124】n型ウェル領域13上には、pチャネル型MOSFETが形成される。

【0125】即ち、n型ウェル領域13上には、シリコン酸化膜（ゲート絶縁膜）23及び不純物を含むポリシリコン膜（ゲート電極）24が形成される。ポリシリコン膜24上には、例えば、ポリシリコン膜24を加工する際のマスクとなるシリコン酸化膜（キャップ酸化膜）25が形成される。また、ポリシリコン膜24の側壁には、例えば、シリコン窒化膜（側壁絶縁膜）26が形成される。

【0126】n型ウェル領域13内には、p型ソース／ドレイン領域27及びこのソース／ドレイン領域27よりも低濃度のp型エクステンション領域28が形成される。即ち、ソース／ドレイン領域27は、ポリシリコン膜24の両側のn型ウェル領域13内に形成され、p型エクステンション領域28は、シリコン窒化膜26の直下のn型ウェル領域13内に形成される。

【0127】シリコン基板11（ソース／ドレイン領域27）上には、エピタキシャル層29が選択的に形成される。エピタキシャル層29は、シリコン基板11（ソース／ドレイン領域27）と同様に、単結晶シリコンから構成され、かつ、p型の不純物を含んでいるため、ソース／ドレイン領域27の一部となっている。

【0128】エピタキシャル層（ソース／ドレイン領域）29上には、高融点金属シリサイド層（タングステンシリサイド層、チタンシリサイド層など）30が形成される。本例では、高融点金属シリサイド層30は、ポリシリコン膜（ゲート電極）24上に形成されていないが、シリコン酸化膜（キャップ酸化膜）25を除去し、ポリシリコン膜24上に形成してもよい。

【0129】素子分離絶縁膜14上には、ストッパ絶縁膜35が形成される。ストッパ絶縁膜35は、シリコン基板11上から見た場合に、例えば、素子分離絶縁膜14と同じサイズ及び同じパターンを有している。

【0130】また、ストッパ絶縁膜35は、選択エピタキシャル成長時におけるエピタキシャル層21、29の横方向の成長をストップさせるものである。よって、シリコン基板11の表面からストッパ絶縁膜35の上面までの高さは、シリコン基板11の表面から高融点金属シリサイド層22、30の上面までの高さと同じか又はそれよりも高くなっている。

【0131】上記構成の半導体装置によれば、素子分離絶縁膜14上にストッパ絶縁膜35が配置されているため、エピタキシャル層21とエピタキシャル層29が素子分離領域14上において互いに接触することがない。また、エピタキシャル層21とエピタキシャル層29は、ストッパ絶縁膜35の幅だけ互いに離れることとなるため、ストッパ絶縁膜35の幅を特性上要求される最

19

小の素子分離幅  $a$  に設定しておけば、素子分離特性が悪化することもない。

【0132】次に、上述の第1実施の形態の半導体装置の製造方法を説明する。

【0133】まず、図2に示すように、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜14を形成する。また、シリコン基板11内にp型ウェル領域12及びn型ウェル領域13を形成し、素子分離絶縁膜14に取り囲まれた素子領域上にシリコン酸化膜（ゲート酸化膜）15、23を形成する。

【0134】また、従来と同様に、p型ウェル領域12上には、ポリシリコン膜（ゲート電極）16、シリコン酸化膜（キャップ酸化膜）17及びシリコン窒化膜（側壁絶縁膜）18を形成し、p型ウェル領域12内には、浅くかつ低濃度のn型不純物領域、即ち、n型エクステンション領域20を形成する。

【0135】また、n型ウェル領域13上には、ポリシリコン膜（ゲート電極）24、シリコン酸化膜（キャップ酸化膜）25及びシリコン窒化膜（側壁絶縁膜）26を形成し、n型ウェル領域13内には、浅くかつ低濃度のp型不純物領域、即ち、p型エクステンション領域28を形成する。

【0136】この後、例えば、CVD法により、シリコン基板11上の全体にストッパ絶縁膜35を形成する。ストッパ絶縁膜35は、絶縁性を有する材料であればどのようなものから構成してもよいが、例えば、シリコン窒化膜、シリコン酸化膜などが現実的である。

【0137】また、PEP（写真蝕刻工程）を行い、素子分離絶縁膜14上のストッパ絶縁膜35上に、素子分離絶縁膜14と同じパターン及び同じサイズのレジスト膜36を形成する。レジスト膜36を形成するに当たっては、例えば、シリコン基板11にSTIのためのトレんチを形成するために用いたマスク（レチクル）のパターンを利用することができる。

【0138】このレジスト膜36をマスクにして、RIEにより、ストッパ絶縁膜35をエッチングし、素子分離絶縁膜14上に、素子分離絶縁膜14と同じパターン及び同じサイズのストッパ絶縁膜35を形成する。この後、レジスト膜36は、剥離される。

【0139】なお、本例では、素子分離絶縁膜14の幅及びストッパ絶縁膜35の幅が、それぞれ特性上要求される最小の素子分離幅  $a$  となっている。

【0140】次に、図3に示すように、ポリシリコン膜16、24の両側に存在するシリコン酸化膜15、23を除去し、シリコン基板11、即ち、n型エクステンション領域20及びp型エクステンション領域28を露出させる。

【0141】次に、図4に示すように、選択エピタキシャル成長により、剥き出しになったn型エクステンション領域20（シリコン基板11）上にエピタキシャル層

20

（単結晶シリコン層）21を選択的に形成すると共に、剥き出しになったp型エクステンション領域28（シリコン基板11）上にエピタキシャル層（単結晶シリコン層）29を選択的に形成する。

【0142】本例では、ポリシリコン膜16、24上にはシリコン酸化膜17、25が存在するため、ポリシリコン膜16、24上にエピタキシャル層は成長しない。しかし、シリコン酸化膜17、25を予め除去しておく場合には、選択エピタキシャル成長時、ポリシリコン膜16、24上にはポリシリコンエピタキシャル層が成長する。

【0143】また、エピタキシャル層21、29の高さ（厚さ） $t_2$ は、シリコン基板11の表面からストッパ絶縁膜35の上面までの高さ $t_1$ 、即ち、素子分離絶縁膜14の表面とシリコン基板11の表面が実質的に等しい場合にはストッパ絶縁膜35の高さと同じか又はそれよりも低くなるように調整される。

【0144】これにより、互いに隣接する2つの素子（MOSFET）において、特性上要求される最小の素子分離幅  $a$  が確保される。

【0145】次に、図5に示すように、イオン注入法を用いて、ポリシリコン膜16及びシリコン窒化膜18をマスクにして、セルフアラインにより、p型ウェル領域12内及びエピタキシャル層21内にn型不純物をイオン注入する。また、イオン注入法を用いて、ポリシリコン膜24及びシリコン窒化膜26をマスクにして、セルフアラインにより、n型ウェル領域13内及びエピタキシャル層29内にp型不純物をイオン注入する。

【0146】その結果、p型ウェル領域12内及びエピタキシャル層21内には、n型エクステンション領域20よりも深くかつ高濃度の不純物領域、即ち、n型ソース／ドレイン領域19が形成され、n型ウェル領域13内及びエピタキシャル層29内には、p型エクステンション領域28よりも深くかつ高濃度の不純物領域、即ち、p型ソース／ドレイン領域27が形成される。

【0147】また、例えば、CVD法により、エピタキシャル層21、29上を含むシリコン基板11の全面上に高融点金属膜（タングステン、チタンなど）を形成する。この後、アニール（熱工程）を行うと、エピタキシャル層21、29内のシリコンと高融点金属膜が化学反応し、エピタキシャル層21、29の上部に高融点金属シリサイド層22、30が形成される。

【0148】この後、未反応の高融点金属膜が除去される。

【0149】ここで、ポリシリコン膜（ゲート電極）16、24上のシリコン酸化膜17、25を予め除去しておく場合には、アニール時に、ポリシリコン膜16、24と高融点金属膜が化学反応し、ポリシリコン膜16、24の上部にも高融点金属シリサイド層が形成される。

【0150】以上の工程により、CMOS集積回路を構

21

成するエレベータッド・ソース/ドレイン構造を有するMOSFETが完成する。

【0151】図6は、本発明の第2実施の形態に関わる半導体装置を示している。

【0152】この半導体装置は、CMOS集積回路を構成するエレベータッド・ソース/ドレイン構造を有するMOSFETに関する。

【0153】本実施の形態に関わる半導体装置は、上述の第1実施の形態に関わる半導体装置と比較すると、素子分離絶縁膜14上のストップ絶縁膜35及びエピタキシャル層21、29の構成が異なっている。即ち、この他の点については、上述の第1実施の形態の半導体装置と同じになっている。

【0154】以下、本実施の形態の半導体装置について、上述の第1実施の形態に関わる半導体装置と異なる部分及びこれに関連する部分を説明する。

【0155】素子分離絶縁膜14上には、ストップ絶縁膜35が形成される。ストップ絶縁膜35の幅は、シリコン基板11上から見た場合に、例えば、素子分離絶縁膜14の幅よりも狭くなっている。即ち、ストップ絶縁膜35の幅は、特性上要求される最小の素子分離幅aとなっており、素子分離絶縁膜14の幅は、特性上要求される最小の素子分離幅aよりも広がっている。

【0156】また、シリコン基板11の表面からストップ絶縁膜35の上面までの高さは、シリコン基板11の表面から高融点金属シリサイド層22、30の上面までの高さと同じか又はそれよりも高くなっている。よって、ストップ絶縁膜35は、選択エピタキシャル成長時におけるエピタキシャル層21、29の横方向の成長をストップさせる。

【0157】エピタキシャル層（ソース/ドレイン領域）21、29は、素子分離絶縁膜14上にも形成される。即ち、ソース/ドレイン領域に対するコンタクト領域は、エピタキシャル層21、29上に設けられるため、コンタクト領域とは無関係に、ソース/ドレイン領域19、27とウェル領域12、13の接合面積を小さくすることができる。

【0158】上記構成の半導体装置においても、素子分離絶縁膜14上にストップ絶縁膜35が配置されているため、エピタキシャル層21とエピタキシャル層29が素子分離領域14上において互いに接触することがない。また、エピタキシャル層21とエピタキシャル層29は、ストップ絶縁膜35の幅だけ互いに離れることになるため、ストップ絶縁膜35の幅を特性上要求される最小の素子分離幅aに設定しておけば、素子分離特性が悪化することもない。

【0159】次に、上述の第2実施の形態の半導体装置の製造方法を説明する。

【0160】まず、図7に示すように、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜14を形成す

22

る。また、シリコン基板11内にp型ウェル領域12及びn型ウェル領域13を形成し、素子分離絶縁膜14に取り囲まれた素子領域上にシリコン酸化膜（ゲート酸化膜）15、23を形成する。

【0161】また、従来と同様にして、p型ウェル領域12上には、ポリシリコン膜（ゲート電極）16、シリコン酸化膜（キャップ酸化膜）17及びシリコン窒化膜（側壁絶縁膜）18を形成し、p型ウェル領域12内には、浅くかつ低濃度のn型不純物領域、即ち、n型エクステンション領域20を形成する。

【0162】また、n型ウェル領域13上には、ポリシリコン膜（ゲート電極）24、シリコン酸化膜（キャップ酸化膜）25及びシリコン窒化膜（側壁絶縁膜）26を形成し、n型ウェル領域13内には、浅くかつ低濃度のp型不純物領域、即ち、p型エクステンション領域28を形成する。

【0163】この後、例えば、CVD法により、シリコン基板11上の全体にストップ絶縁膜35を形成する。ストップ絶縁膜35は、絶縁性を有する材料であればどのようなものから構成してもよいが、例えば、シリコン窒化膜、シリコン酸化膜などが現実的である。

【0164】また、PEP（写真蝕刻工程）を行い、素子分離絶縁膜14上のストップ絶縁膜35上に、素子分離絶縁膜14の幅Wよりも狭い幅aを有するレジスト膜36を形成する。このレジスト膜36をマスクにして、RIEにより、ストップ絶縁膜35をエッチングし、素子分離絶縁膜14上に、素子分離絶縁膜14の幅Wよりも狭い幅を有するストップ絶縁膜35を形成する。この後、レジスト膜36は、剥離される。

【0165】なお、本例では、ストップ絶縁膜35の幅が特性上要求される最小の素子分離幅aとなっている。

【0166】次に、図8に示すように、ポリシリコン膜16、24の両側に存在するシリコン酸化膜15、23を除去し、シリコン基板11、即ち、n型エクステンション領域20及びp型エクステンション領域28を露出させる。

【0167】次に、図9に示すように、選択エピタキシャル成長により、剥き出しになったn型エクステンション領域20（シリコン基板11）上にエピタキシャル層（単結晶シリコン層）21を選択的に形成すると共に、剥き出しになったp型エクステンション領域28（シリコン基板11）上にエピタキシャル層（単結晶シリコン層）29を選択的に形成する。

【0168】選択エピタキシャル成長時、エピタキシャル層21、29は、等方的、即ち、縦方向及び横方向に成長するため、エピタキシャル層21、29は、素子分離絶縁膜14上にも形成されることになる。

【0169】しかし、エピタキシャル層21、29の間にはストップ絶縁膜35が存在する。よって、互いに隣接する2つの素子（MOSFET）に関しては、特性上

23

要求される最小の素子分離幅  $a$  が確保される。

【0170】次に、図10に示すように、イオン注入法を用いて、ポリシリコン膜16及びシリコン窒化膜18をマスクにして、セルフアラインにより、 $p$ 型ウェル領域12内及びエピタキシャル層21内に $n$ 型不純物をイオン注入する。また、イオン注入法を用いて、ポリシリコン膜24及びシリコン窒化膜26をマスクにして、セルフアラインにより、 $n$ 型ウェル領域13内及びエピタキシャル層29内に $p$ 型不純物をイオン注入する。

【0171】その結果、 $p$ 型ウェル領域12内及びエピタキシャル層21内には、 $n$ 型エクステンション領域20よりも深くかつ高濃度の不純物領域、即ち、 $n$ 型ソース/ドレイン領域19が形成され、 $n$ 型ウェル領域13内及びエピタキシャル層29内には、 $p$ 型エクステンション領域28よりも深くかつ高濃度の不純物領域、即ち、 $p$ 型ソース/ドレイン領域27が形成される。

【0172】また、例えば、CVD法により、エピタキシャル層21、29上を含むシリコン基板11の全面上に高融点金属膜（タングステン、チタンなど）を形成する。この後、アニール（熱工程）を行うと、エピタキシャル層21、29内のシリコンと高融点金属膜が化学反応し、エピタキシャル層21、29の上部に高融点金属シリサイド層22、30が形成される。

【0173】この後、未反応の高融点金属膜が除去される。

【0174】なお、ポリシリコン膜（ゲート電極）16、24上のシリコン酸化膜17、25を予め除去しておき、アニール時に、ポリシリコン膜16、24の上部に高融点金属シリサイド層を形成してもよい。

【0175】以上の工程により、CMOS集積回路を構成するエレベータッド・ソース/ドレイン構造を有するMOSFETが完成する。

【0176】次に、上述の第2実施の形態における半導体装置において、エピタキシャル層の厚さとエピタキシャル層の横方向の成長をストップさせるストップパ絶縁膜の高さの関係について検討する。

【0177】まず、ストップパ絶縁膜35の幅が素子分離絶縁膜14の幅よりも狭く、素子分離絶縁膜14のエッジ部（シリコン基板11と素子分離絶縁膜14の境界）からストップパ絶縁膜35のエッジ部までの幅は、 $X$ とする。

【0178】また、シリコン基板11の表面からストップパ絶縁膜35の上面までの高さを $H$ とする。本例では、シリコン基板11の表面と素子分離絶縁膜14の上面は、互いに一致しているものと仮定する。よって、シリコン基板11の表面からストップパ絶縁膜35の上面までの高さ $H$ は、ストップパ絶縁膜35の高さとなる。

【0179】このような条件の下で、エピタキシャル層21の厚さ $T$ は、最大、どの位に設定できるかについて検討する。

24

【0180】エピタキシャル層21の横方向における先端部に注目する。

【0181】まず、図11及び図12に示すように、エピタキシャル成長が等方的に進行するものとする。エピタキシャル層21の横方向における先端部は、エピタキシャル層21の厚さが増えるに従ってストップパ絶縁膜35に近づいていき、エピタキシャル層21の膜厚が $X$ になった時点で、ストップパ絶縁膜35の根元（下面のエッジ）に到達する。

【0182】エピタキシャル層21の先端部がストップパ絶縁膜35の根元に到達すると、ここからは、エピタキシャル層21は、横方向に成長することができない。よって、エピタキシャル層21の先端部は、ストップパ絶縁膜35の側壁に沿って縦方向に成長する。

【0183】エピタキシャル層21の成長は等方的であるため、図13に示すように、エピタキシャル層21の厚さ $T$ が、 $T' (>X)$ になった時点では、エピタキシャル層21の先端は、ストップパ絶縁膜35の根元から $(T' - X)$ だけ追い上がっている。

【0184】従って、エピタキシャル層21がストップパ絶縁膜35を乗り越えないためには、 $(T' - X) \leq H$ 、即ち、エピタキシャル層21の厚さ $T$ は、 $T = T' \leq (H + X)$  … (1) なる条件を満たす必要がある。

【0185】なお、上述の第1実施の形態では、 $X=0$ であるから、上記(1)式より、 $T = T' \leq H$ となる。つまり、ストップパ絶縁膜35の高さは、エピタキシャル層21の厚さと同じか又はそれよりも高くなっている。

【0186】次に、選択エピタキシャル成長におけるエピタキシャル層の成膜速度について検討する。

【0187】エピタキシャル層の成膜速度は、従来の技術においても説明したように、下地の種類や大きさなどにより変化する。このような成膜速度のばらつきに対しては、一般に、成膜速度の最も遅い箇所において十分な厚さが得られるような条件でエピタキシャル層を形成することで対処している。

【0188】ここで、エピタキシャル層の成長が最も遅い箇所での成膜速度を $E_r'$ とし、エピタキシャル層の成長が最も速い箇所での成膜速度を $E_r''$ とする。また、成膜時間を $t_e$ 、エピタキシャル層の成長が最も遅い箇所でのエピタキシャル層の厚さを $T_m$ （設定値）とすると、エピタキシャル層の成長が最も遅い箇所において、

$$E_r' \times t_e = T_m \quad \dots (2)$$

となればよいことになる。

【0189】一方、エピタキシャル層の成長が最も速い箇所においては、エピタキシャル層の厚さは、

$$T'' = E_r'' \times t_e \\ = (E_r'' / E_r') \times T_m \quad \dots (3)$$



25

となる。

【0190】つまり、上記(1)式より、エピタキシャル層の成長が最も速い箇所でのエピタキシャル層の厚さ  $T''$  が

$$(E_r'' / E_r') \times T_m \leq (H+X) \quad \dots (5)$$

なる条件が導かれる。

【0192】なお、下地の種類や大きさなどによらず、エピタキシャル成長の成膜速度がウェハ上で常に一定で※

$$T_m = E_r \times t_e \leq (H+X) \quad \dots (6)$$

となる。

【0193】図14及び図15は、本発明の第3実施の形態に関わる半導体装置を示している。図15は、図14のXV-XV線に沿う断面図である。

【0194】この半導体装置は、エレベータッド・ソース/ドレイン構造を有するMOSFETに関する。以下の説明は、nチャネル型MOSFETについて行うが、pチャネル型MOSFETについても当然適用できる。

【0195】単結晶シリコン基板11内には、STI構造の素子分離絶縁膜14が形成される。素子分離絶縁膜14に取り囲まれた素子領域(シリコン基板11の表面部)には、p型ウェル領域12が形成される。シリコン基板11は、n型であっても、又はp型であってもよい。

【0196】シリコン基板11の表面と素子分離絶縁膜14の表面は、概ね一致している。素子分離絶縁膜14の表面をシリコン基板11の表面に概ね一致させれば、例えば、シリコン基板11及び素子分離絶縁膜14に跨って形成されるゲート電極の加工が容易に行えるためである。

【0197】p型ウェル領域12上には、nチャネル型MOSFETが形成される。

【0198】即ち、p型ウェル領域12上には、シリコン酸化膜(ゲート絶縁膜)15及び不純物を含むポリシリコン膜(ゲート電極)16が形成される。ポリシリコン膜16上には、例えば、ポリシリコン膜16を加工する際のマスクとなるシリコン酸化膜(キャップ酸化膜)17が形成される。また、ポリシリコン膜16の側壁には、例えば、シリコン窒化膜(側壁絶縁膜)18が形成される。

【0199】ポリシリコン膜(ゲート電極)16は、ラインパターンを有し、例えば、素子領域(p型ウェル領域)上から素子分離絶縁膜14上まで延びている。また、ポリシリコン膜16は、素子分離絶縁膜14上においてコンタクト領域37を有している。

【0200】p型ウェル領域12内には、n型ソース/ドレイン領域19及びこのソース/ドレイン領域19よりも低濃度のn型エクステンション領域20が形成される。即ち、ソース/ドレイン領域19は、ポリシリコン膜16の両側のp型ウェル領域12内に形成され、n型エクステンション領域20は、シリコン窒化膜18の直

26

$$*T = T'' \leq (H+X) \quad \dots (4)$$

を満たしていればよいことになる。

【0191】従って、上記(3)及び(4)式より、

※あると仮定した場合、 $E_r'' = E_r' = E_r$ 、 $T_m = E_r \times t_e$ となるため、上記(5)式は、

10 下のp型ウェル領域12内に形成される。

【0201】シリコン基板11(ソース/ドレイン領域19)上には、エピタキシャル層21が選択的に形成される。エピタキシャル層21は、ソース/ドレイン領域19上に形成されると共に素子分離絶縁膜14上にも形成される。エピタキシャル層21は、シリコン基板11(ソース/ドレイン領域19)と同様に、単結晶シリコンから構成され、かつ、n型の不純物を含んでいるため、ソース/ドレイン領域19の一部となっている。

【0202】素子分離絶縁膜14上には、ストッパ絶縁膜35が形成される。ストッパ絶縁膜35は、素子領域を取り囲むように配置される。但し、ストッパ絶縁膜35が取り囲む領域の大きさは、素子領域よりも一回り大きくなっている。例えば、ポリシリコン膜(ゲート電極)16が延びる方向においては、ストッパ絶縁膜35が取り囲む領域の幅と素子領域の幅は等しくなっている。また、ポリシリコン膜16が延びる方向に垂直な方向においては、ストッパ絶縁膜35が取り囲む領域の幅は素子領域の幅よりも大きくなっている。

【0203】エピタキシャル層21は、ストッパ絶縁膜35が取り囲む領域内に満たされた状態になっている。つまり、エピタキシャル層21は、ストッパ絶縁膜35が取り囲む領域の外部に形成されることはない。

【0204】エピタキシャル層(ソース/ドレイン領域)21上には、高融点金属シリサイド層(タングステンシリサイド層、チタンシリサイド層など)22が形成される。本例では、高融点金属シリサイド層22は、ポリシリコン膜(ゲート電極)16上に形成されていないが、シリコン酸化膜(キャップ酸化膜)17を除去し、ポリシリコン膜16上に形成してもよい。

【0205】エピタキシャル層(ソース/ドレイン領域)21に対するコンタクト領域38は、素子分離絶縁膜14上のエピタキシャル層21に設けられている。これにより、コンタクト領域38の大きさとは無関係に、p型ウェル領域12とn型ソース/ドレイン領域19の接合面積を減らすことができる。

【0206】次に、上述の第3実施の形態の半導体装置の製造方法を説明する。

【0207】まず、図16及び図17に示すように、例えば、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜14を形成する。

50



27

【0208】次に、図18及び図19に示すように、イオン注入法により、シリコン基板11内にp型不純物をイオン注入してp型ウェル領域12を形成する。この後、例えば、熱酸化法により、素子分離絶縁膜14に取り囲まれた素子領域上にシリコン酸化膜（ゲート酸化膜）15を形成する。

【0209】また、例えば、CVD法を用いて、素子分離絶縁膜14上及びシリコン酸化膜15上に不純物を含んだポリシリコン膜16を形成する。続けて、例えば、CVD法により、ポリシリコン膜16上にシリコン酸化膜（キャップ酸化膜）17を形成する。この後、シリコン酸化膜17をパターニングし、さらに、このシリコン酸化膜17をマスクにして、RIEにより、ポリシリコン膜16をエッチングし、MOSFETのゲート電極を形成する。

【0210】また、イオン注入法を用いて、ポリシリコン膜（ゲート電極）16をマスクにして、セルフアラインにより、p型ウェル領域12内にn型不純物をイオン注入する。その結果、p型ウェル領域12内には、浅くかつ低濃度のn型不純物領域、即ち、n型エクステンション領域20が形成される。

【0211】この後、熱酸化を行い、ポリシリコン膜（ゲート電極）16の表面にシリコン酸化膜を形成する。

【0212】また、例えば、CVD法により、素子分離絶縁膜14上及び素子領域上の全体に、ポリシリコン膜（ゲート電極）16を完全に覆うようなシリコン窒化膜18を形成する。また、RIEにより、シリコン窒化膜18をエッチングし、このシリコン窒化膜18をポリシリコン膜16の側壁のみに残存させる。

【0213】この後、例えば、CVD法により、シリコン基板11上の全体にストッパ絶縁膜35を形成する。ストッパ絶縁膜35は、絶縁性を有する材料であればどのようなものから構成してもよいが、例えば、シリコン窒化膜、シリコン酸化膜などが現実的である。

【0214】また、PEP（写真蝕刻工程）を行い、素子分離絶縁膜14上のストッパ絶縁膜35上に、素子領域を取り囲むパターンを有するレジスト膜を形成する。このレジスト膜をマスクにして、RIEにより、ストッパ絶縁膜35をエッチングし、素子分離絶縁膜14上に、素子領域を取り囲むストッパ絶縁膜35を形成する。この後、レジスト膜は、剥離される。

【0215】なお、ストッパ絶縁膜35が取り囲む領域は、素子領域よりも一回り大きくっており、ポリシリコン膜16が延びる方向に垂直な方向においては、素子領域のエッジ（素子領域と素子分離絶縁膜14の境界）からストッパ絶縁膜35のエッジまでの幅は、Xとなっている。

【0216】また、ポリシリコン膜16の両側に存在するシリコン酸化膜15を除去し、シリコン基板11、即

28

ち、n型エクステンション領域20を露出させる。

【0217】次に、図20及び図21に示すように、選択エピタキシャル成長により、剥き出しになったn型エクステンション領域20（シリコン基板11）上にエピタキシャル層（単結晶シリコン層）21を選択的に形成する。

【0218】この時、ポリシリコン膜16上にエピタキシャル層は成長しない。しかし、シリコン酸化膜17を予め除去しておき、選択エピタキシャル成長時、ポリシリコン膜16上にポリシリコンエピタキシャル層を成長させてもよい。

【0219】また、選択エピタキシャル成長では、エピタキシャル層21は、等方的、即ち、横方向にも成長する。このため、エピタキシャル層21は、素子分離絶縁膜14上にも形成される。しかし、素子領域は、ストッパ絶縁膜35により取り囲まれている。よって、エピタキシャル層21は、ストッパ絶縁膜35に取り囲まれた領域内に満たされるが、ストッパ絶縁膜35に取り囲まれた領域の外部に形成されることはない。

【0220】この後、イオン注入法を用いて、ポリシリコン膜16及びシリコン窒化膜18をマスクにして、セルフアラインにより、p型ウェル領域12内及びエピタキシャル層21内にn型不純物をイオン注入する。その結果、p型ウェル領域12内及びエピタキシャル層21内には、エクステンション領域20よりも深くかつ高濃度の不純物領域、即ち、n型ソース／ドレイン領域19が形成される。

【0221】また、例えば、CVD法により、エピタキシャル層21上を含むシリコン基板11の全面上に高融点金属膜（タングステン、チタンなど）を形成する。この後、アニール（熱工程）を行うと、エピタキシャル層21内のシリコンと高融点金属膜が化学反応し、エピタキシャル層21の上部に高融点金属シリサイド層22が形成される。

【0222】この後、未反応の高融点金属膜が除去される。

【0223】以上の工程により、エレベータッド・ソース／ドレイン構造を有するMOSFETが完成する。

【0224】図22乃至図24は、本発明の第4実施の形態に関わる半導体装置を示している。図23は、図22のXXIII-XXIII線に沿う断面図、図24は、図22のXXIV-XXIV線に沿う断面図である。

【0225】この半導体装置は、エレベータッド・ソース／ドレイン構造を有するMOSFETに関する。

【0226】単結晶シリコン基板11内には、STI構造の素子分離絶縁膜14が形成される。素子分離絶縁膜14に取り囲まれた素子領域（シリコン基板11の表面部）には、p型ウェル領域12及びn型ウェル領域13が形成される。シリコン基板11は、n型であっても、

29

又はp型であってもよい。素子分離絶縁膜14の表面は、シリコン基板11の表面に概ね一致している。

【0227】p型ウェル領域12上には、nチャネル型MOSFETが形成される。

【0228】即ち、p型ウェル領域12上には、シリコン酸化膜（ゲート絶縁膜）15及び不純物を含むポリシリコン膜（ゲート電極）16が形成される。ポリシリコン膜16上には、例えば、ポリシリコン膜16を加工する際のマスクとなるシリコン酸化膜（キャップ酸化膜）17が形成される。また、ポリシリコン膜16の側壁には、例えば、シリコン窒化膜（側壁絶縁膜）18が形成される。

【0229】ポリシリコン膜（ゲート電極）16は、ラインパターンを有し、例えば、素子領域（p型ウェル領域）上から素子分離絶縁膜14上まで延びている。また、ポリシリコン膜16は、素子分離絶縁膜14上においてコンタクト領域37を有している。

【0230】p型ウェル領域12内には、n型ソース／ドレイン領域19及びこのソース／ドレイン領域19よりも低濃度のn型エクステンション領域20が形成される。即ち、ソース／ドレイン領域19は、ポリシリコン膜16の両側のp型ウェル領域12内に形成され、n型エクステンション領域20は、シリコン窒化膜18の直下のp型ウェル領域12内に形成される。

【0231】シリコン基板11（ソース／ドレイン領域19）上には、エピタキシャル層21が選択的に形成される。エピタキシャル層21は、ソース／ドレイン領域19上に形成されると共に素子分離絶縁膜14上にも形成される。素子分離絶縁膜14上のエピタキシャル層21は、ソース／ドレイン領域に対するコンタクト領域38を構成している。

【0232】エピタキシャル層21は、シリコン基板11（ソース／ドレイン領域19）と同様に、単結晶シリコンから構成され、かつ、n型の不純物を含んでいるため、ソース／ドレイン領域19の一部となっている。

【0233】n型ウェル領域13上には、pチャネル型MOSFETが形成される。

【0234】即ち、n型ウェル領域13上には、シリコン酸化膜（ゲート絶縁膜）23及び不純物を含むポリシリコン膜（ゲート電極）24が形成される。ポリシリコン膜24上には、例えば、ポリシリコン膜24を加工する際のマスクとなるシリコン酸化膜（キャップ酸化膜）25が形成される。また、ポリシリコン膜24の側壁には、例えば、シリコン窒化膜（側壁絶縁膜）26が形成される。

【0235】ポリシリコン膜（ゲート電極）24は、ラインパターンを有し、例えば、素子領域（n型ウェル領域）上から素子分離絶縁膜14上まで延びている。また、ポリシリコン膜24は、素子分離絶縁膜14上においてコンタクト領域37を有している。

30

【0236】n型ウェル領域13内には、p型ソース／ドレイン領域27及びこのソース／ドレイン領域27よりも低濃度のp型エクステンション領域28が形成される。即ち、ソース／ドレイン領域27は、ポリシリコン膜24の両側のn型ウェル領域13内に形成され、p型エクステンション領域28は、シリコン窒化膜26の直下のn型ウェル領域13内に形成される。

【0237】シリコン基板11（ソース／ドレイン領域27）上には、エピタキシャル層29が選択的に形成される。エピタキシャル層29は、ソース／ドレイン領域27上に形成されると共に素子分離絶縁膜14上にも形成される。素子分離絶縁膜14上のエピタキシャル層29は、ソース／ドレイン領域に対するコンタクト領域38を構成している。

【0238】エピタキシャル層29は、シリコン基板11（ソース／ドレイン領域27）と同様に、単結晶シリコンから構成され、かつ、p型の不純物を含んでいるため、ソース／ドレイン領域27の一部となっている。

【0239】素子分離絶縁膜14上には、ストップパ絶縁膜35が形成される。ストップパ絶縁膜35は、素子領域を取り囲むように配置される。また、ストップパ絶縁膜35が取り囲む領域には、ソース／ドレイン領域に対するコンタクト領域38も含まれる。例えば、ポリシリコン膜16が延びる方向に垂直な方向において、素子分離絶縁膜14上には、ソース／ドレイン領域に対するコンタクト領域38が設けられる。

【0240】エピタキシャル層21、29は、ストップパ絶縁膜35が取り囲む領域内に満たされた状態になっている。つまり、エピタキシャル層21、29は、ストップパ絶縁膜35が取り囲む領域の外部に形成されることはない。

【0241】本例では、互いに隣接するMOSFETのコンタクト領域38が重ならないように、コンタクト領域38を交互にずらして配置している。また、互いに隣接するMOSFETに関して、特性上要求される最小の素子分離幅aは、完全に確保されている。

【0242】エピタキシャル層（ソース／ドレイン領域）21、29上には、高融点金属シリサイド層（タングステンシリサイド層、チタンシリサイド層など）22、30が形成される。本例では、高融点金属シリサイド層22、30は、ポリシリコン膜（ゲート電極）16、24上に形成されていないが、シリコン酸化膜（キャップ酸化膜）17、25を予め除去しておけば、ポリシリコン膜16、24上にもシリサイド層が形成される。

【0243】エピタキシャル層（ソース／ドレイン領域）21、29に対するコンタクト領域38は、素子分離絶縁膜14上のエピタキシャル層21、29に設けられている。これにより、コンタクト領域38の大きさとは無関係に、ウェル領域12、13とソース／ドレイン

31

領域 19, 27 の接合面積を減らすことができる。

【0244】次に、上述の第4実施の形態の半導体装置の製造方法を説明する。

【0245】まず、図25及び図26に示すように、例えば、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜14を形成する。

【0246】次に、図27乃至図29に示すように、イオン注入法により、シリコン基板11内にp型不純物をイオン注入してp型ウェル領域12を形成し、かつ、シリコン基板11内にn型不純物をイオン注入してn型ウェル領域13を形成する。この後、例えば、熱酸化法により、素子分離絶縁膜14に取り囲まれた素子領域上にシリコン酸化膜（ゲート酸化膜）15, 23を形成する。

【0247】また、例えば、CVD法を用いて、素子分離絶縁膜14上及びシリコン酸化膜15, 23上に不純物を含んだポリシリコン膜16, 24を形成する。続けて、例えば、CVD法により、ポリシリコン膜16, 24上にシリコン酸化膜（キャップ酸化膜）17, 25を形成する。この後、シリコン酸化膜17, 25をパターニングし、さらに、このシリコン酸化膜17, 25をマスクにして、RIEにより、ポリシリコン膜16, 24をエッチングし、MOSFETのゲート電極を形成する。

【0248】また、イオン注入法を用いて、ポリシリコン膜（ゲート電極）16をマスクにして、セルフアラインにより、p型ウェル領域12内にn型不純物をイオン注入する。同様に、イオン注入法を用いて、ポリシリコン膜（ゲート電極）24をマスクにして、セルフアラインにより、n型ウェル領域13内にp型不純物をイオン注入する。

【0249】その結果、p型ウェル領域12内には、浅くかつ低濃度のn型不純物領域、即ち、n型エクステンション領域20が形成され、n型ウェル領域13内には、浅くかつ低濃度のp型不純物領域、即ち、p型エクステンション領域28が形成される。

【0250】この後、熱酸化を行い、ポリシリコン膜（ゲート電極）16, 24の表面にシリコン酸化膜を形成する。

【0251】また、例えば、CVD法により、素子分離絶縁膜14上及び素子領域上の全体に、ポリシリコン膜（ゲート電極）16, 24を完全に覆うようなシリコン窒化膜18, 26を形成する。また、RIEにより、シリコン窒化膜18, 26をエッチングし、このシリコン窒化膜18, 26をポリシリコン膜16, 24の側壁のみに残存させる。

【0252】この後、例えば、CVD法により、シリコン基板11上の全体にストッパ絶縁膜35を形成する。ストッパ絶縁膜35は、絶縁性を有する材料であればどのようなものから構成してもよいが、例えば、シリコン

32

窒化膜、シリコン酸化膜などが現実的である。

【0253】また、PEP（写真蝕刻工程）を行い、素子分離絶縁膜14上のストッパ絶縁膜35上に、素子領域を取り囲むパターンを有するレジスト膜を形成する。このレジスト膜をマスクにして、RIEにより、ストッパ絶縁膜35をエッチングし、素子分離絶縁膜14上に、素子領域を取り囲むストッパ絶縁膜35を形成する。この後、レジスト膜は、剥離される。

【0254】なお、ストッパ絶縁膜35が取り囲む領域には、素子分離絶縁膜14上のコンタクト領域も含まれる。

【0255】また、ポリシリコン膜16, 24の両側に存在するシリコン酸化膜15, 23を除去し、シリコン基板11、即ち、n型エクステンション領域20及びp型エクステンション領域28を露出させる。

【0256】次に、図30乃至図32に示すように、選択エピタキシャル成長により、剥き出しになったn型エクステンション領域20（シリコン基板11）上にエピタキシャル層（単結晶シリコン層）21を選択的に形成し、剥き出しになったp型エクステンション領域28（シリコン基板11）上にエピタキシャル層（単結晶シリコン層）29を選択的に形成する。

【0257】選択エピタキシャル成長では、エピタキシャル層21, 29は、等方的、即ち、横方向にも成長する。このため、エピタキシャル層21, 29は、素子分離絶縁膜14上にも形成される。しかし、素子領域は、ストッパ絶縁膜35により取り囲まれている。よって、エピタキシャル層21, 29は、ストッパ絶縁膜35に取り囲まれた領域内に満たされるが、ストッパ絶縁膜35に取り囲まれた領域の外部に形成されることはない。

【0258】この後、イオン注入法を用いて、ポリシリコン膜16及びシリコン窒化膜18をマスクにして、セルフアラインにより、p型ウェル領域12内及びエピタキシャル層21内にn型不純物をイオン注入する。同様に、イオン注入法を用いて、ポリシリコン膜24及びシリコン窒化膜26をマスクにして、セルフアラインにより、n型ウェル領域13内及びエピタキシャル層29内にp型不純物をイオン注入する。

【0259】その結果、p型ウェル領域12内及びエピタキシャル層21内には、エクステンション領域20よりも深くかつ高濃度の不純物領域、即ち、n型ソース／ドレイン領域19が形成され、n型ウェル領域13内及びエピタキシャル層29内には、エクステンション領域28よりも深くかつ高濃度の不純物領域、即ち、p型ソース／ドレイン領域27が形成される。

【0260】また、例えば、CVD法により、エピタキシャル層21, 29上を含むシリコン基板11の全面上に高融点金属膜（タングステン、チタンなど）を形成する。この後、アニール（熱工程）を行うと、エピタキシャル層21, 29内のシリコンと高融点金属膜が化学反

33

応し、エピタキシャル層21、29の上部に高融点金属シリサイド層22、30が形成される。

【0261】この後、未反応の高融点金属膜が除去される。

【0262】以上の工程により、エレベータッド・ソース／ドレイン構造を有するMOSFETが完成する。

【0263】図33は、本発明の第5実施の形態に関わる半導体装置を示している。

【0264】この半導体装置は、エピタキシャル層内に形成されるMOSFETに関する。

【0265】単結晶シリコン基板11内には、STI構造の素子分離絶縁膜14が形成される。素子分離絶縁膜14上には、素子分離絶縁膜14の幅よりも狭い幅を有するストッパ絶縁膜35が形成される。ストッパ絶縁膜35の幅は、特性上要求される最小の素子分離幅aに設定されている。

【0266】シリコン基板11上には、エピタキシャル層21、29が形成される。エピタキシャル層21、29は、素子分離絶縁膜14上にも形成されている。しかし、エピタキシャル層21、29は、ストッパ絶縁膜35により互いに分離されている。エピタキシャル層21、29の高さ（厚さ）は、ストッパ絶縁膜35の高さと同じか又はそれよりも低く設定されているため、エピタキシャル層21、29は、特性上要求される最小の素子分離幅aだけ離れている。

【0267】エピタキシャル層21内及びシリコン基板11内には、p型ウェル領域12が形成され、エピタキシャル層29内及びシリコン基板11内には、n型ウェル領域13が形成される。

【0268】p型ウェル領域12上（エピタキシャル層21上）には、nチャネル型MOSFETが形成される。

【0269】即ち、p型ウェル領域12上には、シリコン酸化膜（ゲート絶縁膜）15及び不純物を含むポリシリコン膜（ゲート電極）16が形成される。ポリシリコン膜16上には、例えば、ポリシリコン膜16を加工する際のマスクとなるシリコン酸化膜（キャップ酸化膜）17が形成される。また、ポリシリコン膜16の側壁には、例えば、シリコン窒化膜（側壁絶縁膜）18が形成される。

【0270】p型ウェル領域12内には、n型ソース／ドレイン領域19及びこのソース／ドレイン領域19よりも低濃度のn型エクステンション領域20が形成される。即ち、ソース／ドレイン領域19は、ポリシリコン膜16の両側のp型ウェル領域12内に形成され、n型エクステンション領域20は、シリコン窒化膜18の直下のp型ウェル領域12内に形成される。

【0271】ソース／ドレイン領域19の底面の一部は、素子分離絶縁膜14に接触している。よって、p型ウェル領域12とn型ソース／ドレイン領域19の接合

34

面積を小さくすることができ、ソース／ドレイン領域19の寄生容量を低減できる。

【0272】同様に、n型ウェル領域13上（エピタキシャル層29上）には、pチャネル型MOSFETが形成される。

【0273】即ち、n型ウェル領域13上には、シリコン酸化膜（ゲート絶縁膜）23及び不純物を含むポリシリコン膜（ゲート電極）24が形成される。ポリシリコン膜24上には、例えば、ポリシリコン膜24を加工する際のマスクとなるシリコン酸化膜（キャップ酸化膜）25が形成される。また、ポリシリコン膜24の側壁には、例えば、シリコン窒化膜（側壁絶縁膜）26が形成される。

【0274】n型ウェル領域13内には、p型ソース／ドレイン領域27及びこのソース／ドレイン領域27よりも低濃度のp型エクステンション領域28が形成される。即ち、ソース／ドレイン領域27は、ポリシリコン膜24の両側のn型ウェル領域13内に形成され、p型エクステンション領域28は、シリコン窒化膜26の直下のn型ウェル領域13内に形成される。

【0275】ソース／ドレイン領域27の底面の一部は、素子分離絶縁膜14に接触している。よって、n型ウェル領域13とp型ソース／ドレイン領域27の接合面積を小さくすることができ、ソース／ドレイン領域27の寄生容量を低減できる。

【0276】次に、上述の第5実施の形態の半導体装置の製造方法を説明する。

【0277】まず、図34に示すように、例えば、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜14を形成する。また、例えば、CVD法により、シリコン基板11上の全体にストッパ絶縁膜35を形成する。ストッパ絶縁膜35は、絶縁性を有する材料であればどのようなものから構成してもよいが、例えば、シリコン窒化膜、シリコン酸化膜などが現実的である。

【0278】また、PEP（写真蝕刻工程）を行い、素子分離絶縁膜14上のストッパ絶縁膜35上に、素子分離絶縁膜14の幅よりも狭い幅を有するレジスト膜を形成する。このレジスト膜をマスクにして、RIEにより、ストッパ絶縁膜35をエッチングし、素子分離絶縁膜14上にストッパ絶縁膜35を形成する。この後、レジスト膜は、剥離される。

【0279】本例では、ストッパ絶縁膜35の幅が特性上要求される最小の素子分離幅aとなっている。

【0280】次に、図35に示すように、選択エピタキシャル成長により、剥き出しになったシリコン基板11上にエピタキシャル層（単結晶シリコン層）21、29を選択的に形成する。選択エピタキシャル成長では、原料ガスや成膜温度などを調節し、シリコン基板11上にのみシリコンエピタキシャル層を形成する。

【0281】なお、エピタキシャル層21、29は、等

35

方的、即ち、縦方向及び横方向に成長するため、エピタキシャル層 21、29 は、素子分離絶縁膜 14 上にも形成される。

【0282】エピタキシャル層 21、29 の高さは、シリコン基板 11 の表面からストッパ絶縁膜 35 の上面までの高さ、即ち、素子分離絶縁膜 14 の表面とシリコン基板 11 の表面が実質的に等しい場合にはストッパ絶縁膜 35 の高さと同じか又はそれよりも低くなるように調整される。

【0283】次に、図 36 に示すように、イオン注入法により、エピタキシャル層 21 内及びシリコン基板 11 内に p 型不純物をイオン注入して p 型ウェル領域 12 を形成し、かつ、エピタキシャル層 29 内及びシリコン基板 11 内に n 型不純物をイオン注入して n 型ウェル領域 13 を形成する。

【0284】この後、例えば、熱酸化法により、p 型ウェル領域 12 上にシリコン酸化膜（ゲート酸化膜）15 を形成し、n 型ウェル領域 13 上にシリコン酸化膜（ゲート酸化膜）23 を形成する。

【0285】また、例えば、CVD 法を用いて、シリコン酸化膜 15、23 上に不純物を含んだポリシリコン膜 16、24 を形成する。続けて、例えば、CVD 法により、ポリシリコン膜 16、24 上にシリコン酸化膜（キャップ酸化膜）17、25 を形成する。この後、シリコン酸化膜 17、25 をパターニングし、さらに、このシリコン酸化膜 17、25 をマスクにして、RIE により、ポリシリコン膜 16、24 をエッチングし、MOSFET のゲート電極を形成する。

【0286】また、イオン注入法を用いて、ポリシリコン膜（ゲート電極）16 をマスクにして、セルフアラインにより、p 型ウェル領域 12 内に n 型不純物をイオン注入する。その結果、p 型ウェル領域 12 内には、浅くかつ低濃度の n 型不純物領域、即ち、n 型エクステンション領域 20 が形成される。

【0287】同様に、イオン注入法を用いて、ポリシリコン膜（ゲート電極）24 をマスクにして、セルフアラインにより、n 型ウェル領域 13 内に p 型不純物をイオン注入する。その結果、n 型ウェル領域 13 内には、浅くかつ低濃度の p 型不純物領域、即ち、p 型エクステンション領域 28 が形成される。

【0288】この後、熱酸化を行い、ポリシリコン膜（ゲート電極）16、24 の表面にシリコン酸化膜を形成する。

【0289】また、例えば、CVD 法により、素子分離絶縁膜 14 上及び素子領域上の全体に、ポリシリコン膜（ゲート電極）16、24 を完全に覆うようなシリコン窒化膜 18、26 を形成する。また、RIE により、シリコン窒化膜 18、26 をエッチングし、このシリコン窒化膜 18、26 をポリシリコン膜 16、24 の側壁のみに残存させる。

36

【0290】次に、イオン注入法を用いて、ポリシリコン膜 16 及びシリコン窒化膜 18 をマスクにして、セルフアラインにより、p 型ウェル領域 12 内に n 型不純物をイオン注入する。また、イオン注入法を用いて、ポリシリコン膜 24 及びシリコン窒化膜 26 をマスクにして、セルフアラインにより、n 型ウェル領域 13 内に p 型不純物をイオン注入する。

【0291】その結果、p 型ウェル領域 12 内には、n 型エクステンション領域 20 よりも深くかつ高濃度の不純物領域、即ち、n 型ソース／ドレイン領域 19 が形成され、n 型ウェル領域 13 内には、p 型エクステンション領域 28 よりも深くかつ高濃度の不純物領域、即ち、p 型ソース／ドレイン領域 27 が形成される。

【0292】以上の工程により、エピタキシャル層 21、29 内に形成され、ソース／ドレイン領域 19、27 の底面の一部が素子分離絶縁膜 14 に接触するような MOSFET が完成する。

【0293】図 37 は、本発明の第 6 実施の形態に関わる半導体装置を示している。

【0294】本実施の形態の半導体装置は、図 1 の第 1 実施の形態に関わる半導体装置の変形例であり、その特徴は、素子分離領域 A における素子分離絶縁膜 14 上には、ストッパ絶縁膜 35 を配置し、素子分離領域 B における素子分離絶縁膜 14 上には、ストッパ絶縁膜 35 を配置しない点にある。

【0295】この場合、素子分離領域 B においては、素子分離絶縁膜 14 を跨るようにエピタキシャル層 29 が形成される。即ち、MOSFET T1 のソース／ドレイン領域 27a と MOSFET T2 のソース／ドレイン領域 27b が電気的に接続されることになる。

【0296】本実施の形態の半導体装置は、MOSFET T1 と MOSFET T2 を電気的に接続するに際して、MOSFET の上層に形成される配線層を用いる場合に比べ、素子の集積度向上に貢献できる。即ち、本実施の形態の半導体装置では、MOSFET T1、T2 の電気的接続に関し、ソース／ドレイン領域に対するコンタクト領域が不要となる。

【0297】図 38 は、本発明の第 7 実施の形態に関わる半導体装置を示している。

【0298】本実施の形態の半導体装置は、図 33 の第 5 実施の形態に関わる半導体装置の変形例であり、その特徴は、素子分離領域 B における素子分離絶縁膜 14 上にストッパ絶縁膜 35 が配置されていない点にある。

【0299】この場合、素子分離領域 B の素子分離絶縁膜 14 上において、エピタキシャル層 29a とエピタキシャル層 29b が互いに結合される。即ち、MOSFET T1 のソース／ドレイン領域 27a と MOSFET T2 のソース／ドレイン領域 27b が電気的に接続されることになる。

【0300】本実施の形態の半導体装置は、MOSFET

37

T T1とMOSFET T2を電氣的に接続するに際して、MOSFETの上層に形成される配線層を用いる場合に比べ、素子の集積度向上に貢献できる。即ち、本実施の形態の半導体装置では、MOSFET T1、T2の電氣的接続に関し、ソース/ドレイン領域に対するコンタクト領域が不要となる。

【0301】図39及び図40は、図37及び図38の半導体装置を製造する際に適用される手法を示している。

【0302】この手法は、選択エピタキシャル成長により、シリコン基板11からエピタキシャル層29a、29bを成長させ、このエピタキシャル層29a、29bを素子分離絶縁膜14上において互いに結合させるものである。

【0303】この手法では、エピタキシャル層29a、29bの成長が等方的に行われるとすると、素子分離絶縁膜14の幅をHとしたとき、エピタキシャル層29a、29bは、 $H/2$ 以上の厚さで形成する必要がある。

【0304】図41は、素子分離絶縁膜上のエピタキシャル層のコンタクト領域に対してコンタクトホールを形成するときの様子を示している。

【0305】コンタクトホール39の形成は、PEP（写真蝕刻工程）とエッチング工程により行われる。しかし、PEPでは、通常、マスク（レチクル）とウェハ（シリコン基板）の間で合せずれが生じ、コンタクトホール39の位置がエピタキシャル層21のコンタクト領域からずれる場合がある。

【0306】この場合、エッチング工程により、層間絶縁膜31にコンタクトホール39を形成すると、素子分離絶縁膜14に深い溝39aが形成される。これは、通常、素子分離絶縁膜14と層間絶縁膜31が同じ材料（例えば、シリコン酸化膜）から構成され、素子分離絶縁膜14は、層間絶縁膜31に対してエッチング選択比を有しないためである。

【0307】素子分離絶縁膜14に形成された深い溝39aは、例えば、シリコン基板11まで達すると、ソース/ドレイン領域からウェル領域12へのリーク電流を発生させる。また、この深い溝39aは、例えば、スパッタ法により、コンタクトホール39内にバリアメタルを形成する際に、バリアメタルの成膜不良を生じさせる。

【0308】このような事態を回避するためには、マスクとウェハの間で合せずれが生じて、コンタクトホールがエピタキシャル層のコンタクト領域から外れないように、エピタキシャル層のコンタクト領域に十分なマージン幅を持たせたレイアウトが必要となる。しかし、このマージン幅は、素子の集積度の向上には悪影響を与える。

【0309】そこで、従来は、図42に示すように、シ

38

リサイド層22（エピタキシャル層21）上及び素子分離絶縁膜14上に予めエッチングストッパ層40を形成し、コンタクトホール39の形成時に、エッチングの進行をエッチングストッパ層40で止めるようにしている。

【0310】エッチングストッパ層40は、エッチングの進行を止めるものであるから、素子分離絶縁膜14及び層間絶縁膜31に対してエッチング選択比を有する材料（例えば、シリコン窒化膜）から構成される。

【0311】よって、コンタクトホール39を形成した後、コンタクトホール39の底部のエッチングストッパ層40のみをエッチングにより除去すれば、素子分離絶縁膜14に深い溝を形成することなく、コンタクトホール39を形成することができる（フィールドセルフアラインコンタクト）。

【0312】ところで、図43に示すように、本発明の場合、素子分離絶縁膜14上には、選択エピタキシャル成長時のエピタキシャル層21の横方向の成長をストップさせるストッパ絶縁膜35が形成される。

【0313】そこで、このストッパ絶縁膜35を、素子分離絶縁膜14及び層間絶縁膜31に対してエッチング選択比を有する材料（例えば、シリコン窒化膜）から構成すれば、コンタクトホール39の形成時に、エッチングの進行をストッパ絶縁膜35で止めることができる。

【0314】つまり、本発明によれば、コンタクトホール39の形成時に、エッチングストッパ層を設けなくても、素子分離絶縁膜14に深い溝が形成されることがないため、エッチングストッパ層なしで、フィールドセルフアラインコンタクトを実現できる。

【0315】次に、上述の第1乃至第4実施の形態の半導体装置（エレベータッド・ソース/ドレイン構造を有するMOSFETに関するもの）に適用できる製造方法について説明する。

【0316】上述した各実施の形態における製造方法では、ストッパ絶縁膜35は、独自の工程により製造していた。本例では、ストッパ絶縁膜35の形成工程を、他の工程（側壁絶縁膜の形成工程）に含め、製造工程数の削減を図る。

【0317】まず、図44に示すように、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜14を形成する。また、シリコン基板11内にp型ウェル領域12及びn型ウェル領域13を形成し、素子分離絶縁膜14に取り囲まれた素子領域上にシリコン酸化膜（ゲート酸化膜）15、23を形成する。

【0318】また、従来と同様にして、p型ウェル領域12上には、ポリシリコン膜（ゲート電極）16及びシリコン酸化膜（キャップ酸化膜）17を形成し、n型ウェル領域13上には、ポリシリコン膜（ゲート電極）24及びシリコン酸化膜（キャップ酸化膜）25を形成する。



39

【0319】次に、図45に示すように、p型ウェル領域12内には、浅くかつ低濃度のn型不純物領域、即ち、n型エクステンション領域20を形成し、n型ウェル領域13内には、浅くかつ低濃度のp型不純物領域、即ち、p型エクステンション領域28を形成する。

【0320】この後、シリコン基板11上の全面に、絶縁膜（例えば、シリコン窒化膜）41を形成する。また、PEP（写真蝕刻工程）を行い、素子分離絶縁膜14上の絶縁膜41上にレジスト膜42を形成する。レジスト膜42をマスクにして、異方性エッチングにより絶縁膜41をエッチングした後、レジスト膜42を除去する。

【0321】その結果、図46に示すように、絶縁膜41は、ポリシリコン膜（ゲート電極）16、24の側壁及び素子分離絶縁膜14上に残存する。ポリシリコン膜16、24の側壁の絶縁膜41は、ソース／ドレイン領域を形成する際のマスクとなる側壁絶縁膜となり、素子分離絶縁膜14上の絶縁膜41（35）は、ストップパ絶縁膜となる。

【0322】この後、ポリシリコン膜16、24の両側に存在するシリコン酸化膜15、23を除去し、選択エピタキシャル成長が行われる。また、ソース／ドレイン領域及びシリサイド層を形成すると、エレベータッド・ソース／ドレイン構造を有するMOSFETが完成する。

【0323】このような製造方法では、ゲート電極の側壁絶縁膜とストップパ絶縁膜が同時に形成されるため、従来に比べて製造工程数の増加が抑えられる。

【0324】図47及び図48は、本発明の第8実施の形態に関わる半導体装置を示している。

【0325】図47は、図6の第2実施の形態に関わる半導体装置の改良例、図48は、図33の第5実施の形態に関わる半導体装置の改良例であり、ストップパ絶縁膜を用いることなく、素子分離絶縁膜14の形状を変えることで、第2及び第5実施の形態の半導体装置と同様の効果を得ることができるようにしたものである。

【0326】この半導体装置の特徴は、素子分離絶縁膜14の縁部に窪みを設け、素子分離絶縁膜が凸型となるようにした点にある。エピタキシャル層21、29は、シリコン基板11上及び素子分離絶縁膜14の窪み内に形成され、素子分離絶縁膜14の凸部を超えることがない。

【0327】即ち、素子分離絶縁膜14の凸部は、ストップパ絶縁膜とほぼ同様の機能を有し、エピタキシャル層21、29の横方向の成長の進行速度を実質的に遅くする。よって、エピタキシャル層21、29の成長後において、エピタキシャル層21、29が短絡することがなく、また、特性上要求される素子分離幅aも確保することができる。

【0328】また、本実施の形態の半導体装置では、ス

40

トップパ絶縁膜が不要であるため、製造工程が簡略化されると共に、素子分離絶縁膜14に凸部を形成する際に、ストップパ絶縁膜のパターニング時に生じるような合せずれを考慮する必要がない。

【0329】図49乃至図51は、図47及び図48の半導体装置を製造する際に適用される手法を示している。

【0330】この手法は、素子分離絶縁膜14の縁部に溝を形成し、素子分離絶縁膜14を凸型にするものである。

【0331】まず、図49に示すように、単結晶シリコン基板11内にSTI構造の素子分離絶縁膜（例えば、シリコン酸化膜）14を形成する。素子分離絶縁膜14の表面は、シリコン基板の表面に概ね等しくなっているものとする。

【0332】次に、図50に示すように、例えば、NH<sub>4</sub>Fを用いて、素子分離絶縁膜14のウェットエッチングを行う。一般に、素子分離絶縁膜14のエッチングレートは、素子分離絶縁膜14の中央部に比べて縁部の方が高くなるため、素子分離絶縁膜14のウェットエッチングにより、素子分離絶縁膜14の縁部には窪み（溝）43が形成される。

【0333】次に、図51に示すように、選択エピタキシャル成長により、シリコン基板11上に選択的にエピタキシャル層（単結晶シリコン層）21、29を形成する。この時、例えば、エピタキシャル層21の横方向の先端は、矢印に示すような経路で素子分離絶縁膜14上を移動する。つまり、エピタキシャル層21の先端がシリコン基板11から素子分離絶縁膜14の凸部まで移動する距離は、溝がある場合の方が溝がない場合よりも長くなる。

【0334】よって、エピタキシャル層21、29の成長後において、エピタキシャル層21、29が短絡する事態を防止でき、また、特性上要求される素子分離幅aも確保することができる。

【0335】また、ストップパ絶縁膜が不要であるため、製造工程が簡略化されると共に、素子分離絶縁膜14の凸部は、自己整合的に形成されるため、ストップパ絶縁膜のパターニング時に生じるような合せずれを考慮する必要がない。

【0336】図52及び図53は、エレベータッド・ソース／ドレイン構造を有するMOSFET（第1乃至第4実施の形態に対応）に適用できる素子分離絶縁膜の形成工程を示している。

【0337】まず、例えば、CVD法を用いて、単結晶シリコン基板11上にシリコン酸化膜44及びシリコン窒化膜45を順次形成する。PEP（写真蝕刻工程）により、レジストパターンを形成し、このレジストパターンをマスクにして、RIEにより、シリコン窒化膜45をエッチングする。



41

【0338】また、レジストパターンを除去した後、シリコン窒化膜45をマスクにして、RIEにより、シリコン酸化膜44及びシリコン基板11をエッチングし、シリコン基板11内にトレンチを形成する。

【0339】また、シリコン窒化膜45上にトレンチを完全に埋め込むようなシリコン酸化膜を形成する。そして、CMPにより、このシリコン酸化膜を研磨及びエッチングし、トレンチ内のみにシリコン酸化膜を残存させ、STI構造の素子分離絶縁膜14を形成する。

【0340】この後、シリコン酸化膜44及びシリコン窒化膜45が除去される。

【0341】上述の素子分離絶縁膜14の形成工程によれば、素子分離絶縁膜14の上面は、シリコン基板11の表面よりも高くなっている。このため、この素子分離絶縁膜14の凸部に、エピタキシャル層の横方向の成長をストップさせるストップパ絶縁膜と同様の機能を持たせることができる。

【0342】しかし、素子分離絶縁膜14を形成した後に、シリコン基板（素子領域）11上及び素子分離絶縁膜（素子分離領域）14上にMOSFETのゲート電極が形成される。即ち、素子分離絶縁膜14がシリコン基板11から突出していると、シリコン基板11と素子分離絶縁膜14の境界に段差部が生じ、この段差部において、MOSFETのゲート電極の加工が非常に困難となる。

【0343】そこで、上述の第1乃至第4実施の形態の半導体装置では、素子分離絶縁膜14の上面をシリコン基板11の表面に概ね等しくし、この状態でMOSFETのゲート電極を形成するようにし、この後、素子分離絶縁膜14上にストップパ絶縁膜を設け、選択エピタキシャル成長を行っている。

【0344】

【発明の効果】以上、説明したように、本発明の半導体装置によれば、素子分離絶縁膜上に配置されたストップパ絶縁膜により、選択エピタキシャル成長時におけるエピタキシャル層の横方向の成長を阻止できるようになる。つまり、ストップパ絶縁膜は、エピタキシャル層の横方向の成長を阻止する壁としての機能を有するため、最低限、ストップパ絶縁膜の幅だけは素子分離幅を確保することができる。

【0345】よって、十分な素子分離特性を得ることができると共に、互いに隣接する素子同士が短絡することなくなる。また、素子の集積度の向上及びチップサイズの縮小を図ることができる。

【0346】また、素子分離絶縁膜上にストップパ絶縁膜を配置しない場合には、素子分離絶縁膜上で互いに隣接する素子同士をエピタキシャル層により電氣的に接続することができる。

【0347】また、ストップパ絶縁膜を、素子分離絶縁膜に対してエッチング選択比を有する材料から構成するこ

42

とで、コンタクトホール形成時に素子分離絶縁膜に深い溝が形成されることもない。

【0348】さらに、素子分離絶縁膜上にストップパ絶縁膜を設けなくても、素子分離絶縁膜のエッジ部に溝を形成し、素子分離絶縁膜を凸型にすることにより、ストップパ絶縁膜を設けた場合と同様の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関わる半導体装置を示す断面図。

【図2】図1の半導体装置の製造方法の一工程を示す断面図。

【図3】図1の半導体装置の製造方法の一工程を示す断面図。

【図4】図1の半導体装置の製造方法の一工程を示す断面図。

【図5】図1の半導体装置の製造方法の一工程を示す断面図。

【図6】本発明の第2実施の形態に関わる半導体装置を示す断面図。

【図7】図6の半導体装置の製造方法の一工程を示す断面図。

【図8】図6の半導体装置の製造方法の一工程を示す断面図。

【図9】図6の半導体装置の製造方法の一工程を示す断面図。

【図10】図6の半導体装置の製造方法の一工程を示す断面図。

【図11】エピタキシャル層の厚さとストップパ絶縁膜の高さの関係を示す図。

【図12】エピタキシャル層の厚さとストップパ絶縁膜の高さの関係を示す図。

【図13】エピタキシャル層の厚さとストップパ絶縁膜の高さの関係を示す図。

【図14】本発明の第3実施の形態に関わる半導体装置を示す平面図。

【図15】図14のXV-XV線に沿う断面図。

【図16】図14の半導体装置の製造方法の一工程を示す平面図。

【図17】図16のXVII-XVII線に沿う断面図。

【図18】図14の半導体装置の製造方法の一工程を示す平面図。

【図19】図18のXIX-XIX線に沿う断面図。

【図20】図14の半導体装置の製造方法の一工程を示す平面図。

【図21】図20のXXI-XXI線に沿う断面図。

【図22】本発明の第4実施の形態に関わる半導体装置を示す平面図。

【図23】図22のXXIII-XXIII線に沿う断

面図。

【図 24】図 22 の XXIV-XXIV 線に沿う断面図。

【図 25】図 22 の半導体装置の製造方法の一工程を示す平面図。

【図 26】図 25 の XXVI-XXVI 線に沿う断面図。

【図 27】図 22 の半導体装置の製造方法の一工程を示す平面図。

【図 28】図 27 の XXVII-XXVII 線に沿う断面図。

【図 29】図 27 の XXIX-XXIX 線に沿う断面図。

【図 30】図 22 の半導体装置の製造方法の一工程を示す平面図。

【図 31】図 30 の XXXI-XXXI 線に沿う断面図。

【図 32】図 30 の XXXII-XXXII 線に沿う断面図。

【図 33】本発明の第 5 実施の形態に関わる半導体装置を示す断面図。

【図 34】図 33 の半導体装置の製造方法の一工程を示す断面図。

【図 35】図 33 の半導体装置の製造方法の一工程を示す断面図。

【図 36】図 33 の半導体装置の製造方法の一工程を示す断面図。

【図 37】本発明の第 6 実施の形態に関わる半導体装置を示す断面図。

【図 38】本発明の第 7 実施の形態に関わる半導体装置を示す断面図。

【図 39】図 37 及び図 38 の半導体装置に適用できる製造方法の一工程を示す図。

【図 40】図 37 及び図 38 の半導体装置に適用できる製造方法の一工程を示す図。

【図 41】コンタクトホール形成時の問題点を示す図。

【図 42】図 41 の問題点をエッチングストッパにより解決した例を示す図。

【図 43】図 41 の問題点をストッパ絶縁膜により解決した例を示す図。

【図 44】第 1 乃至第 4 実施の形態の装置に適用できる製造方法の一工程を示す図。

【図 45】第 1 乃至第 4 実施の形態の装置に適用できる製造方法の一工程を示す図。

【図 46】第 1 乃至第 4 実施の形態の装置に適用できる製造方法の一工程を示す図。

【図 47】本発明の第 8 実施の形態に関わる半導体装置を示す断面図。

【図 48】本発明の第 8 実施の形態に関わる半導体装置を示す断面図。

【図 49】図 47 及び図 48 の半導体装置に適用できる製造方法の一工程を示す図。

【図 50】図 47 及び図 48 の半導体装置に適用できる製造方法の一工程を示す図。

【図 51】図 47 及び図 48 の半導体装置に適用できる製造方法の一工程を示す図。

【図 52】STI 構造の素子分離絶縁膜の形成工程を示す断面図。

【図 53】STI 構造の素子分離絶縁膜の形成工程を示す断面図。

【図 54】従来の半導体装置を示す断面図。

【図 55】図 54 の半導体装置の製造方法の一工程を示す断面図。

【図 56】図 54 の半導体装置の製造方法の一工程を示す断面図。

【図 57】図 54 の半導体装置の製造方法の一工程を示す断面図。

【図 58】図 54 の半導体装置の製造方法の一工程を示す断面図。

【図 59】図 54 の半導体装置の製造方法の一工程を示す断面図。

【図 60】従来の半導体装置を示す図。

【図 61】エレベータッド・ソース/ドレイン構造の半導体装置を示す図。

【図 62】従来の半導体装置の欠点を示す図。

【図 63】エレベータッド・ソース/ドレイン構造の半導体装置の利点を示す図。

【図 64】従来の半導体装置を示す断面図。

【図 65】図 64 の半導体装置の製造方法の一工程を示す断面図。

【図 66】図 64 の半導体装置の製造方法の一工程を示す断面図。

【図 67】図 64 の半導体装置の製造方法の一工程を示す断面図。

【図 68】図 64 の半導体装置の製造方法の一工程を示す断面図。

【図 69】従来の半導体装置の利点を示す図。

【図 70】従来の半導体装置の欠点を示す図。

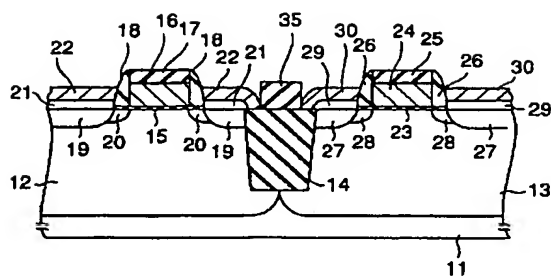
【図 71】従来の半導体装置の欠点を示す図。

【符号の説明】

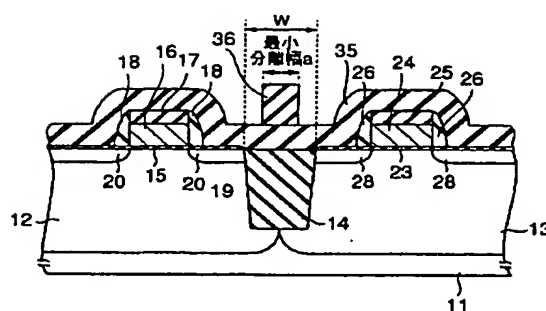
11	: 単結晶シリコン基板、
12	: p 型ウェル領域、
13	: n 型ウェル領域、
14	: 素子分離絶縁膜、
15, 23	: シリコン酸化膜 (ゲート絶縁膜)、
16, 24	: ポリシリコン膜 (ゲート電極)、
17, 25	: シリコン酸化膜 (キ



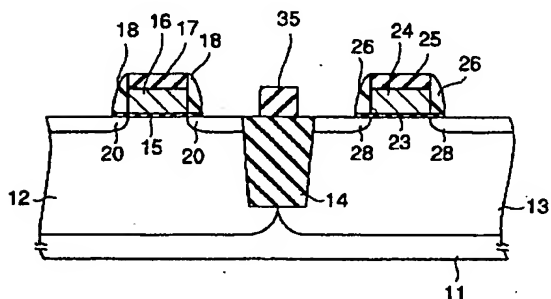
【図 6】



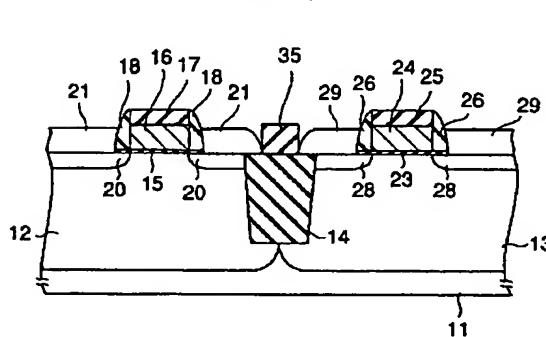
【图 7】



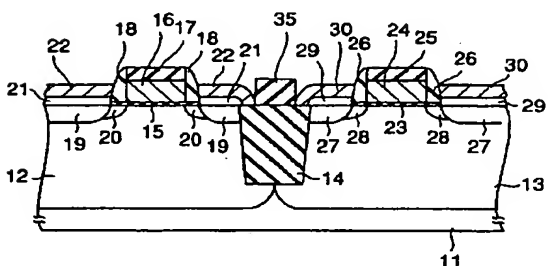
【図 8】



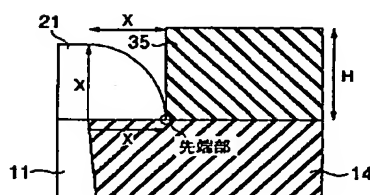
【图9】



【図 10】

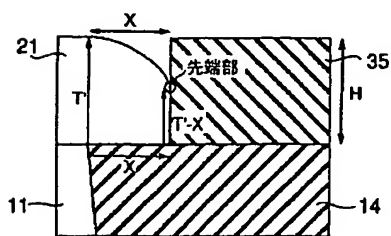


【图 12】

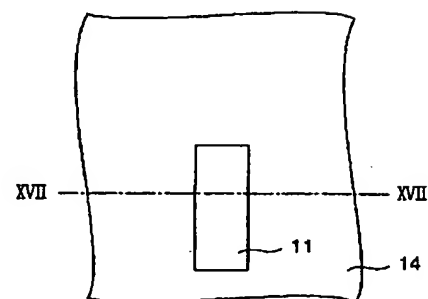
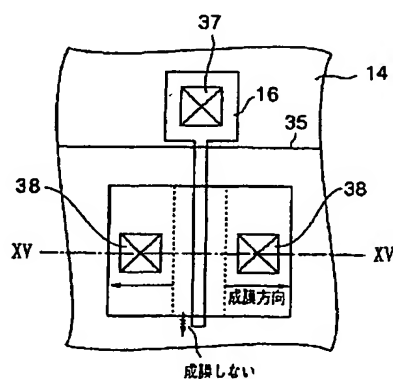


【図 16】

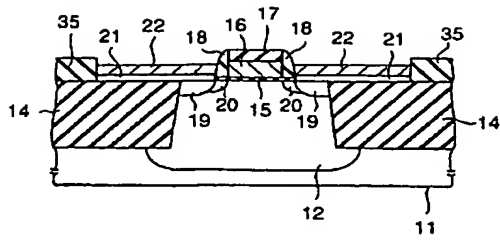
【図 13】



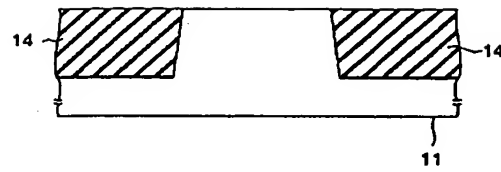
【圖 14】



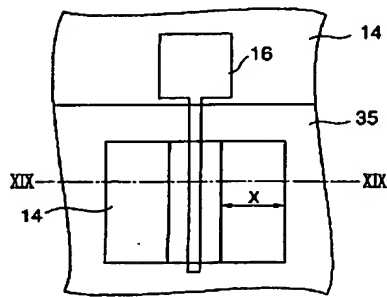
【図 15】



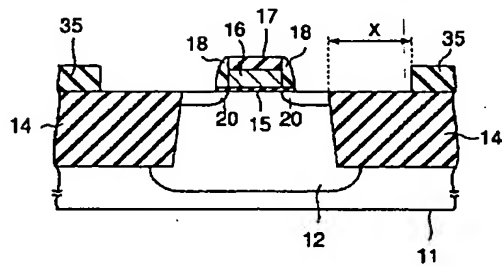
【図 17】



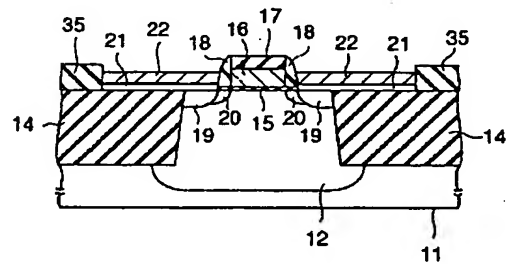
【図 18】



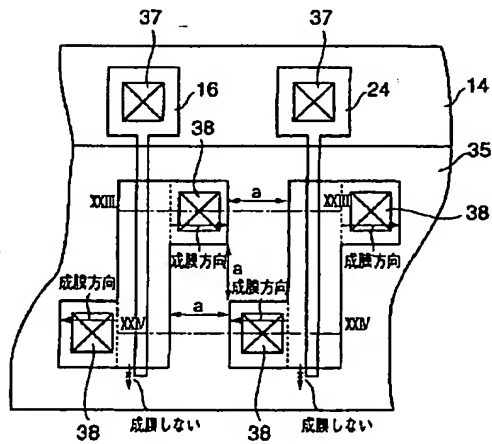
【図 19】



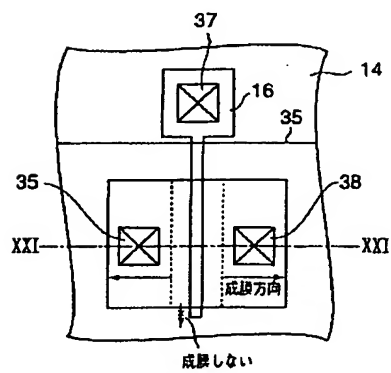
【図 21】



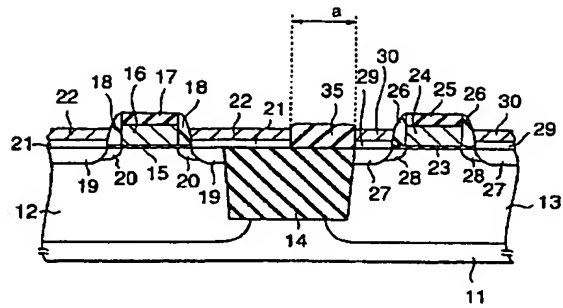
【図 22】



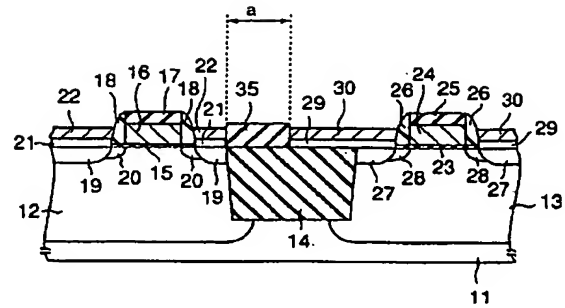
【図 20】



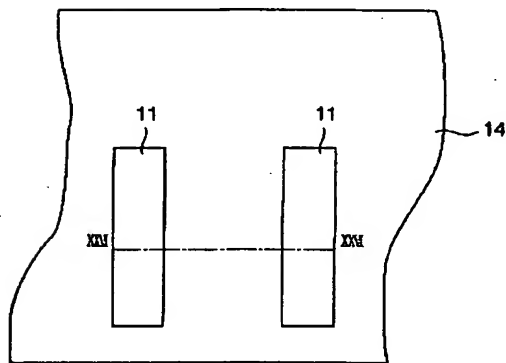
【図 23】



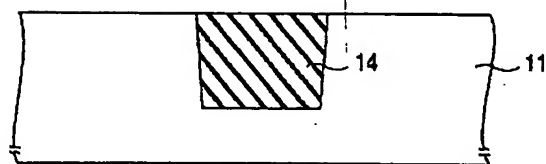
【図 24】



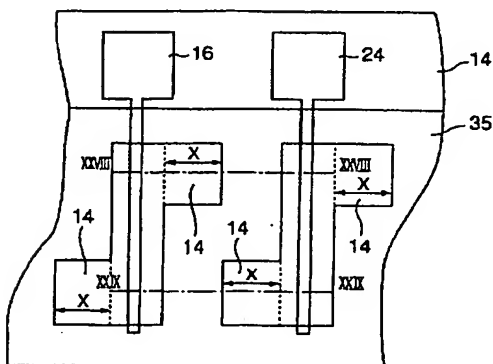
【図 25】



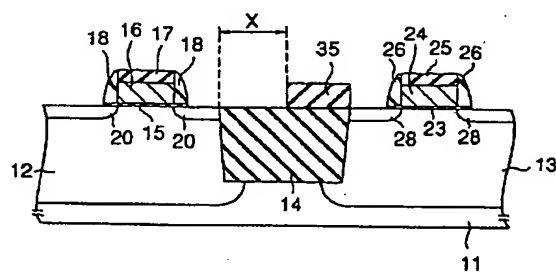
【図 26】



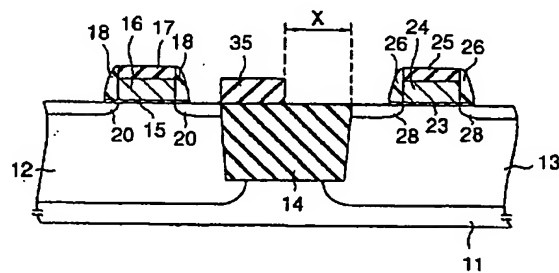
【図 27】



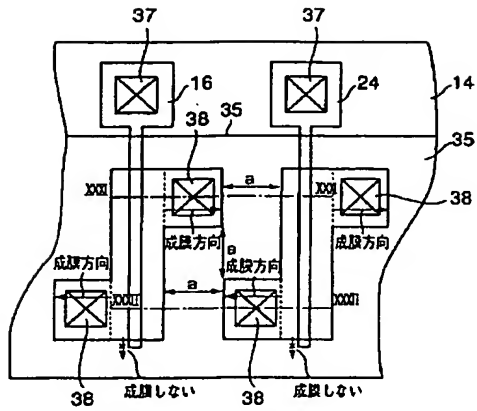
【図 28】



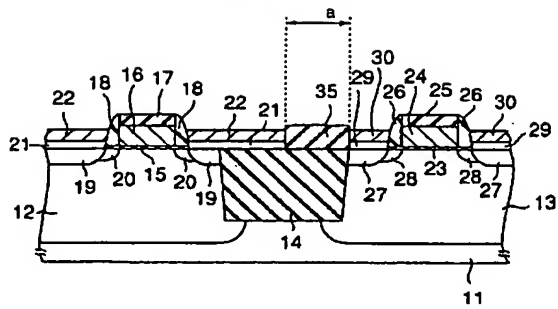
【図 29】



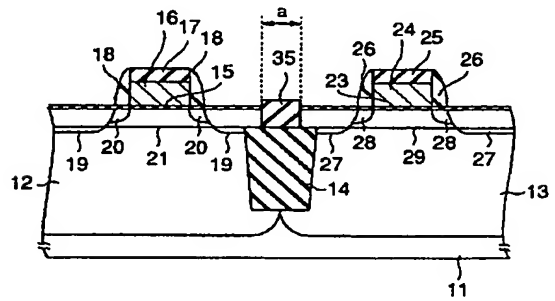
【図30】



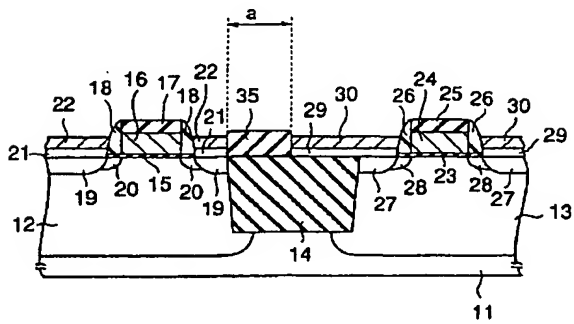
【図31】



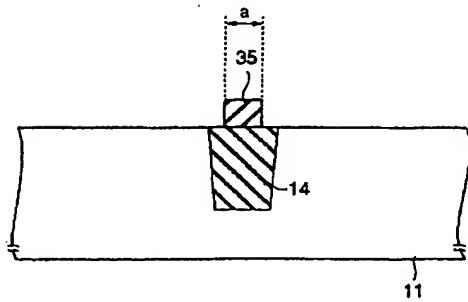
【図33】



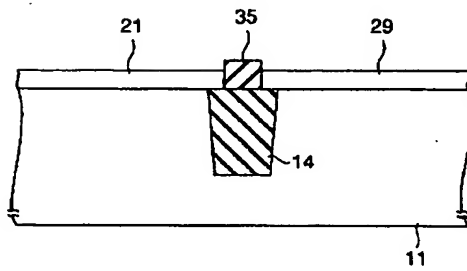
【図32】



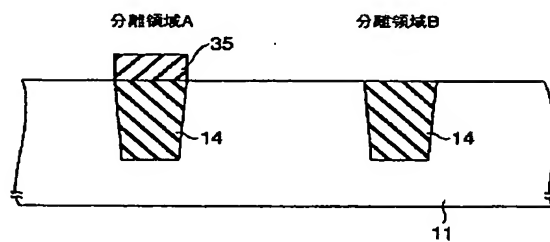
【図34】



【図35】

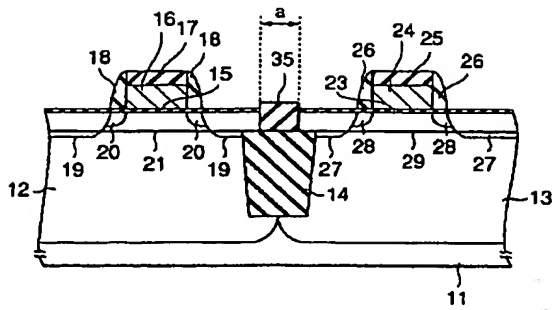


【図39】

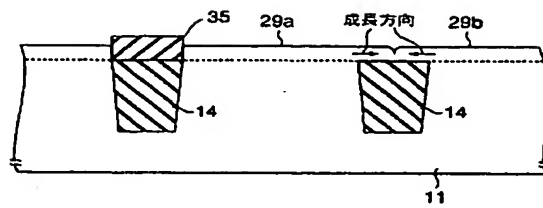




【図36】

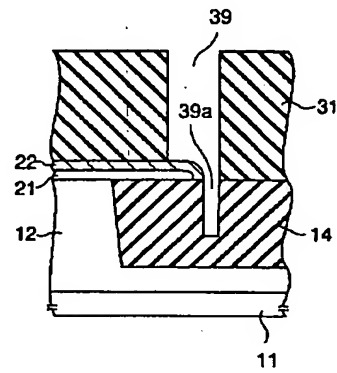
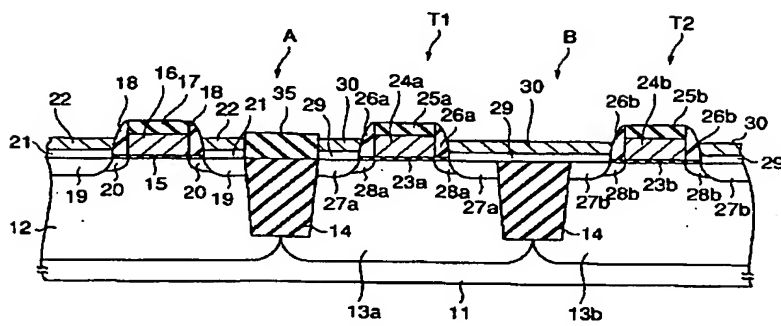


【図40】



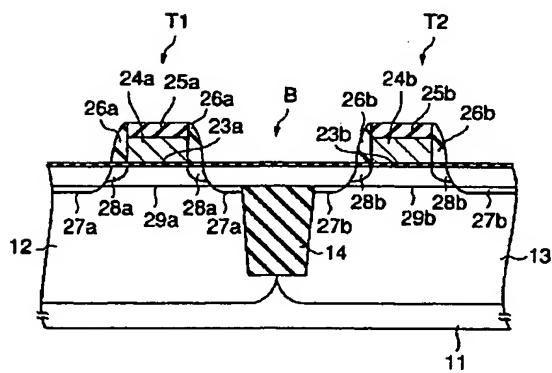
【図41】

【図37】

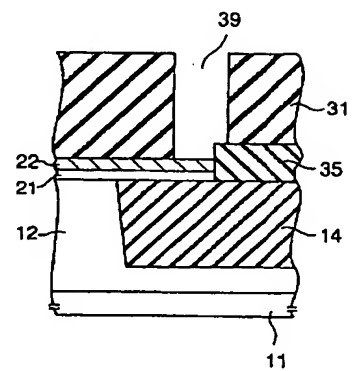
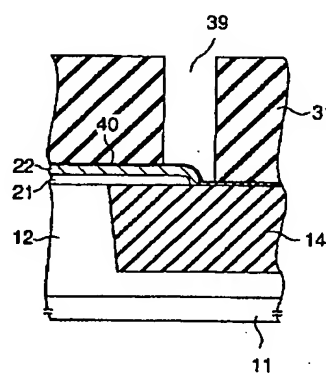


【図43】

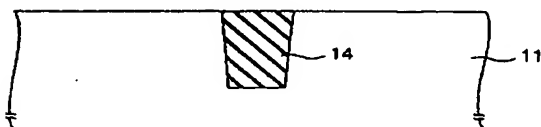
【図38】



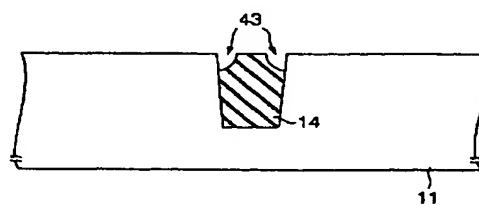
【図42】



【図49】



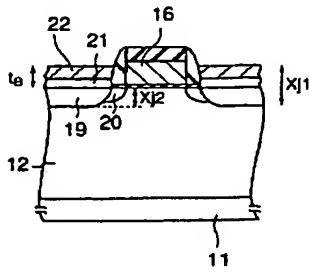
【図50】



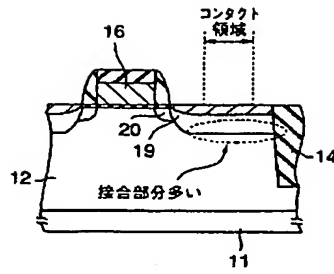




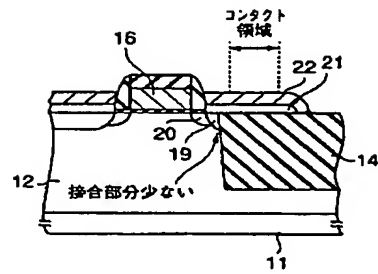
【图 6 1】



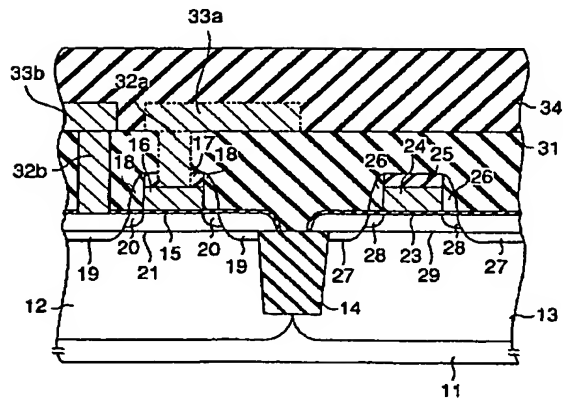
【图 6 2】



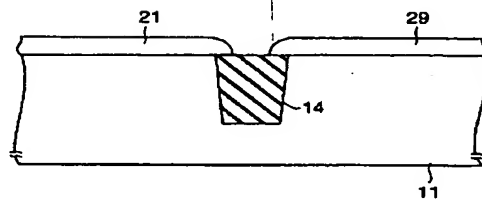
【图 6 3】



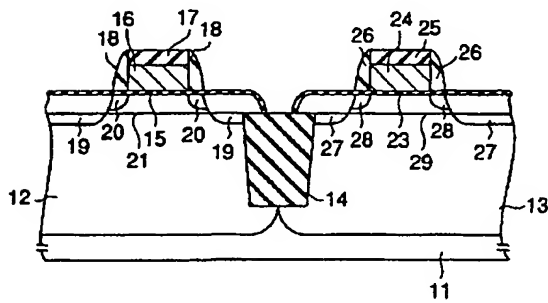
【图 6 4】



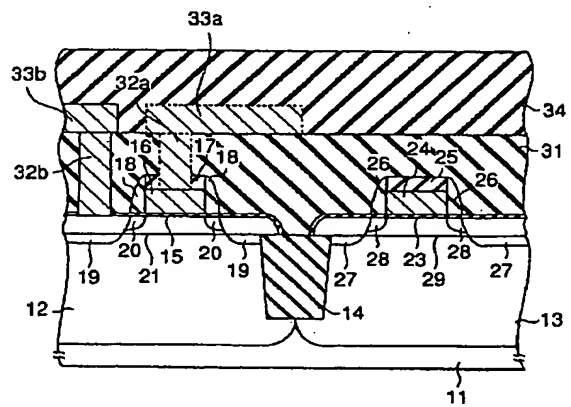
【图 6-6】



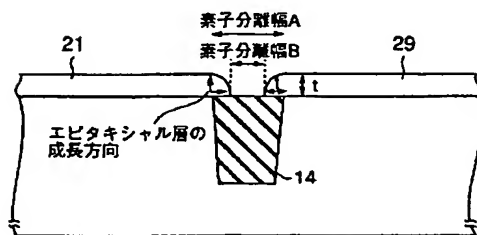
【图 6 7】



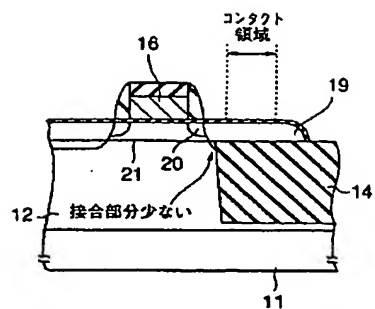
【図 6 8】



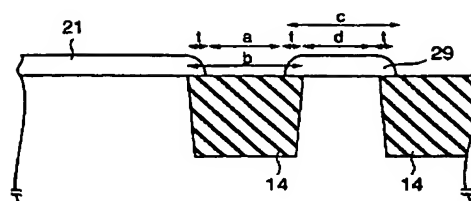
【图 70】



【図69】



【図71】



フロントページの続き

Fターム(参考) 5F032 AA35 AA44 AA77 AA82 BA01  
 BA02 CA03 CA11 CA17 DA02  
 DA16 DA33 DA53  
 5F048 AA01 AA07 AC03 BA01 BA20  
 BB05 BB08 BB09 BC01 BC05  
 BC06 BC15 BC16 BD09 BE03  
 BF03 BF06 BF15 BF16 BG00  
 BG01 BG13 DA27